

【11】證書號數：I378645

【45】公告日：中華民國 101 (2012) 年 12 月 01 日

【51】Int. Cl. : H03K19/0948(2006.01) H03K19/20 (2006.01)

發明

全 10 頁

【54】名稱：平移式電晶體邏輯電路

PASS-TRANSISTOR LOGIC-GATE CIRCUIT

【21】申請案號：098117518 【22】申請日：中華民國 98 (2009) 年 05 月 26 日

【11】公開編號：201042920 【43】公開日期：中華民國 99 (2010) 年 12 月 01 日

【72】發明人：吳宗益 (TW) WU, TSUNGYI

【71】申請人：國立彰化師範大學 NATIONAL CHANGHUA UNIVERSITY OF EDUCATION

彰化縣彰化市進德路 1 號

【74】代理人：蔡坤財；李世章

【56】參考文獻：

US 6084437 US 6218867B1

US 2002/0180486A1

D. Markovic, B. Nikolic and V. G. Oklobdzija, "A general method in synthesis of pass-transistor circuits, " Microelectronics Journal, vol.31, pp.991-998, 2000. (Pubitemid 32029815)

審查人員：陳臆聰

[57]申請專利範圍

1. 一種平移式電晶體邏輯及電路，係用以將一第一訊號與一第二訊號進行一邏輯及運算，該第一訊號係為複數個子訊號邏輯及運算之結果，包括：一第一電晶體，具有一第一輸入端、一第一輸出端及一第一控制端，該第一輸入端係用以接收一邏輯低電位，該第一控制端係用以接收該第一訊號之一反相訊號，該第一輸出端係電性連接一電路輸出端；一第一反相電晶體，具有一第二輸入端、一第二輸出端及一第二控制端，該第二輸入端係用以接收該第二訊號，該第二控制端係用以接收該反相訊號，該第二輸出端係電性連接該電路輸出端；以及複數個電晶體，係對應該複數個子訊號，該複數個電晶體係彼此串接以形成一輸入端、複數個控制端及一輸出端，該輸入端係用以接收該第二訊號，每一該些複數個控制端係用以接收每一該些複數個子訊號，該輸出端係電性連接該電路輸出端。
2. 一種平移式電晶體邏輯或電路，係用以將一第一訊號與一第二訊號進行一邏輯或運算，該第一訊號係為複數個子訊號邏輯或運算之結果，包括：一第一反相電晶體，具有一第一輸入端、一第一輸出端及一第一控制端，該第一輸入端係用以接收一邏輯高電位，該第一控制端係用以接收該第一訊號之一反相訊號，該第一輸出端係電性連接一電路輸出端；一第一電晶體，具有一第二輸入端、一第二輸出端及一第二控制端，該第二輸入端係用以接收該第二訊號，該第二控制端係用以接收該反相訊號，該第二輸出端係電性連接該電路輸出端；以及複數個反相電晶體，係對應該複數個子訊號，該複數個反相電晶體係彼此串接以形成一輸入端、複數個控制端及一輸出端，該輸入端係用以接收該第二訊號，每一該些複數個控制端係用以接收每一該些複數個子訊號，該輸出端係電性連接該電路輸出端。

(2)

3. 一種平移式電晶體邏輯電路，係用以將一第一訊號 A，一第二訊號 B 及一第三訊號 C，邏輯運算為一輸出訊號 $\overline{A+B+C}$ ，包括：一第一反相電晶體，具有一第一輸入端、一第一輸出端與一第一控制端，該第一控制端係用以接收該第一訊號 A；一第二反相電晶體，具有一第二輸入端、一第二輸出端與一第二控制端，該第二輸入端係電性連接該第一輸出端，該第二控制端係用以接收該第二訊號 B，該第二輸出端係電性連接一電路輸出端；一第一電晶體，具有一第三輸入端、一第三輸出端與一第三控制端，該第三輸入端係用以接收一邏輯低電位，該第三控制端係用以接收該第一訊號 A，該第三輸出端係電性連接該電路輸出端；一第二電晶體，具有一第四輸入端、一第四輸出端與一第四控制端，該第四輸入端係用以接收該邏輯低電位，該第四控制端係用以接收該第二訊號 B，該第四輸出端係電性連接該電路輸出端；以及一第三晶體，具有一第五輸入端、一第五輸出端與一第五控制端，該第五輸入端係用以接收該邏輯低電位，該第五輸出端係電性連接該電路輸出端；其中，該第一輸入端係用以接收該第三訊號 C，該第五控制端係用以接收該第三訊號 C 之一反相訊號，藉以當該第三訊號 C 為一邏輯低電位訊號時，該平移式電晶體邏輯電路可經由該第三電晶體，使該輸出訊號 $\overline{A+B+C}$ 為該邏輯低電位。
4. 一種平移式電晶體邏輯電路，係用以將一第一訊號 A，一第二訊號 B 及一第三訊號 C，邏輯運算為一輸出訊號 $\overline{AC+BC}$ ，包括：一第一反相電晶體，具有一第一輸入端、一第一輸出端與一第一控制端，該第一控制端係用以接收該第一訊號 A，該第一輸出端係電性連接一電路輸出端；一第二反相電晶體，具有一第二輸入端、一第二輸出端與一第二控制端，該第二控制端係用以接收該第二訊號 B，該第二輸出端係電性連接該電路輸出端；一第一電晶體，具有一第三輸入端、一第三輸出端與一第三控制端，該第三控制端係用以接收該第一訊號 A，該第三輸出端係電性連接該電路輸出端；一第二電晶體，具有一第四輸入端、一第四輸出端與一第四控制端，該第四輸入端係用以接收一邏輯低電位，該第四控制端係用以接收該第二訊號 B，該第四輸出端係電性連接該第三輸入端；以及一第三電晶體，具有一第五輸入端、一第五輸出端與一第五控制端，該第五輸入端係用以接收該邏輯低電位，該第五輸出端係電性連接該電路輸出端；其中，該第一輸入端與該第二輸入端係用以接收該第三訊號 C，該第五控制端係用以接收該第三訊號 C 之一反相訊號，藉以當該第三訊號 C 為一邏輯低電位訊號時，該平移式電晶體邏輯電路可經由該第三電晶體，使該輸出訊號 $\overline{AC+BC}$ 為該邏輯低電位。
5. 一種平移式電晶體邏輯電路，係用以將一第一訊號 A，一第二訊號 B 及一第三訊號 C，邏輯運算為一輸出訊號 $B+\overline{AC}$ ，包括：一第一反相電晶體，具有一第一輸入端、一第一輸出端與一第一控制端，該第一控制端係用以接收該第一訊號 A，該第一輸入端係用以接收一邏輯高電位；一第二反相電晶體，具有一第二輸入端、一第二輸出端與一第二控制端，該第二輸入端係電性連接該第一輸出端，該第二控制端係用以接收一第一反相訊號 \overline{C} ，該第一反相訊號 \overline{C} 係為該第三訊號 C 之反相，該第二輸出端係電性連接一電路輸出端；一第三反相電晶體，具有一第三輸入端、一第三輸出端與一第三控制端，該第三輸入端係用以接收該邏輯高電位，該第三控制端係用以接收一第二反相訊號 \overline{B} ，該第二反相訊號 \overline{B} 係為該第二訊號 B 之反相，該第三輸出端係電性連接該電路輸出端；一第一電晶體，具有一第四輸入端、一第四輸出端與一第四控制端，該第四輸入端係用以接收該第二訊號 B，該第四控制端係用以接收該第一訊號 A，該第四輸出端係電性連接該電路輸出端；以及一第二電晶體，具有一第五輸入端、一第五輸出端與一第五控制端，該第五輸入端係用以接收該第二訊號 B，該第五控制端係用以接收該第一反相訊號 \overline{C} ，該第五輸出端係電性連接該電路輸出端；其中，當該第二反相訊號 \overline{B} 為一邏輯低電位訊號

(3)

時，該平移式電晶體邏輯電路可經由該第三反相電晶體，使該輸出訊號 $B+\overline{AC}$ 為該邏輯高電位；其中，當該第一訊號 A 與該第一反相訊號 \overline{C} 皆為一邏輯低電位訊號時，該平移式電晶體邏輯電路可經由該第一反相電晶體與該第二反相電晶體，使該輸出訊號 $B+\overline{AC}$ 為該邏輯高電位。

6. 一種平移式電晶體邏輯電路，係用以將一第一訊號 A，一第二訊號 B 及一第三訊號 C，邏輯運算為一輸出訊號 $\overline{AB} + A(\overline{B} + \overline{C})$ ，包括：一第一反相電晶體，具有一第一輸入端、一第一控制端及一第一輸出端，該第一輸入端係用以接收該第二訊號 B，該第一控制端係用以接收該第一訊號 A，該第一輸出端係電性連接一電路輸出端；一第二反相電晶體，具有一第二輸入端、一第二控制端及一第二輸出端，該第二輸入端係用以接收該第一訊號 A，該第二控制端係用以接收該第二訊號 B，該第二輸出端係電性連接該電路輸出端；一第三反相電晶體，具有一第三輸入端、一第三控制端及一第三輸出端，該第三輸入端係用以接收該一邏輯高電位，該第三控制端以接收該第一訊號 A 之一反相訊號；一第四反相電晶體，具有一第四輸入端、一第四控制端及一第四輸出端，該第四輸入端係電性連接該第三輸出端，該第四控制端係用以接收該第三訊號 C，該第四輸出端係電性連接該電路輸出端；一第一電晶體，具有一第五輸入端、一第五控制端及一第五輸出端，該第五輸入端係用以接收該第二訊號 B，該第五控制端係用以接收該反相訊號，該第五輸出端係電性連接該電路輸出端；一第二電晶體，具有一第六輸入端、一第六控制端及一第六輸出端，該第六控制端係用以接收該第二訊號 B，該第六輸出端係電性連接該電路輸出端；以及一第三電晶體，具有一第七輸入端、一第七控制端及一第七輸出端，該第七控制端係用以接收該第三訊號 C，該第七輸出端係電性連接該第六輸入端，該第七輸入端係用以接收該反相訊號。

圖式簡單說明

為讓本發明之上述和其他目的、特徵、優點與實施例能更明顯易懂，所附圖式之說明如下：

第 1 圖是習知之 CMOS 邏輯電路之結構示意圖。

第 2 圖是習知之 DVL 平移式電晶體邏輯電路之結構示意圖。

第 3 圖係繪示本發明一實施例之平移式電晶體邏輯及電路的結構示意圖。

第 4A 圖係繪示本實施例與傳統 CMOS 邏輯及電路的上升延遲時間的比較圖。

第 4B 圖係繪示本實施例與傳統 CMOS 邏輯及電路的下降延遲時間的比較圖。

第 5 圖係繪示本發明一實施例之平移式電晶體邏輯或電路的結構示意圖。

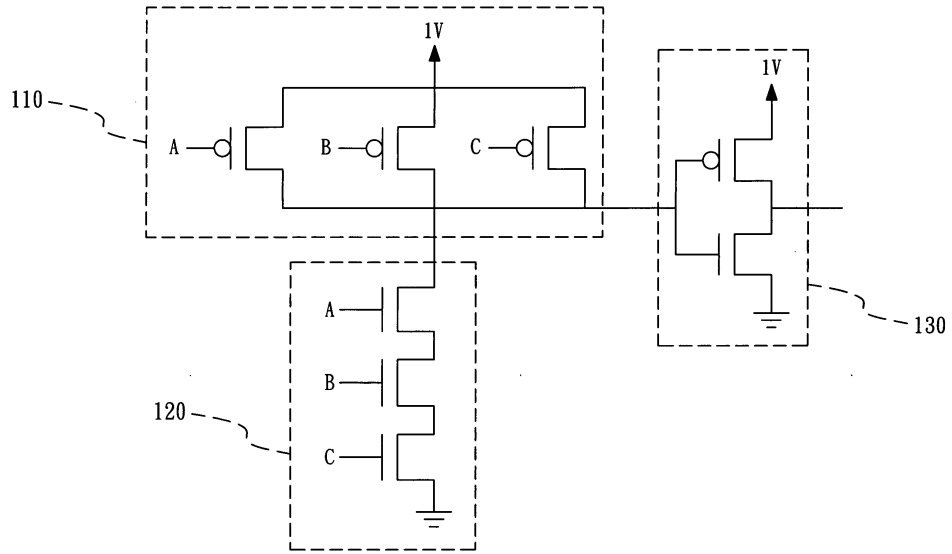
第 6 圖係繪示本發明一實施例之平移式電晶體邏輯電路的結構示意圖。

第 7 圖係繪示本發明一實施例之平移式電晶體邏輯電路的結構示意圖。

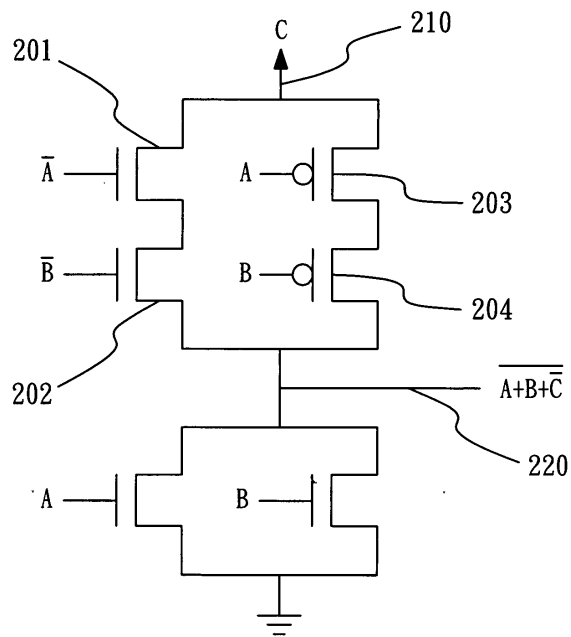
第 8 圖係繪示本發明一實施例之平移式電晶體邏輯電路的結構示意圖。

第 9 圖係繪示本發明一實施例之平移式電晶體邏輯電路的結構示意圖。

(4)

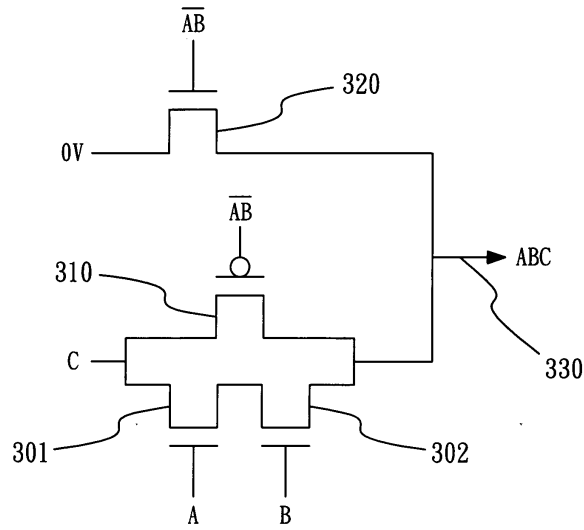


第 1 圖

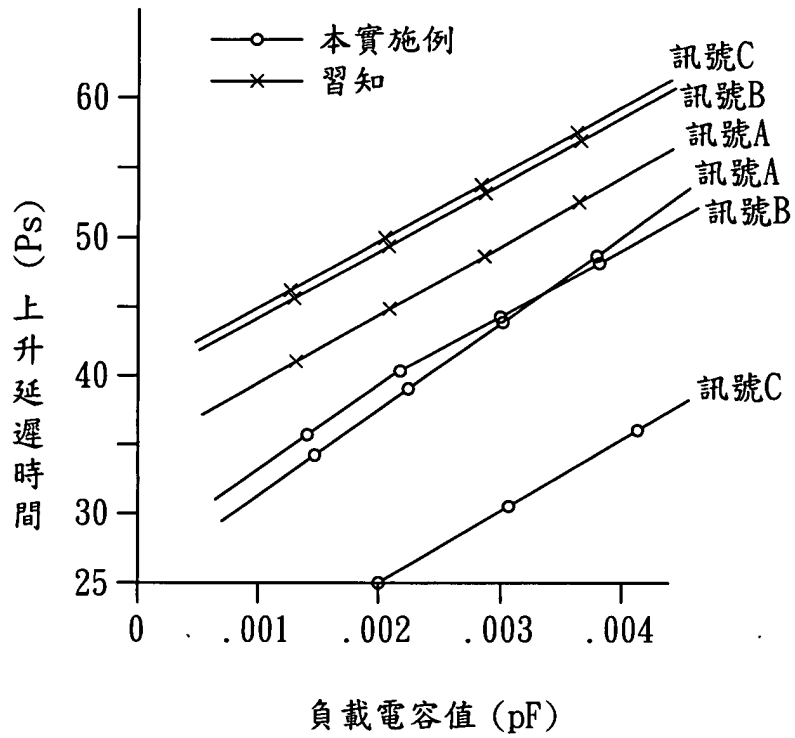


第 2 圖

(5)

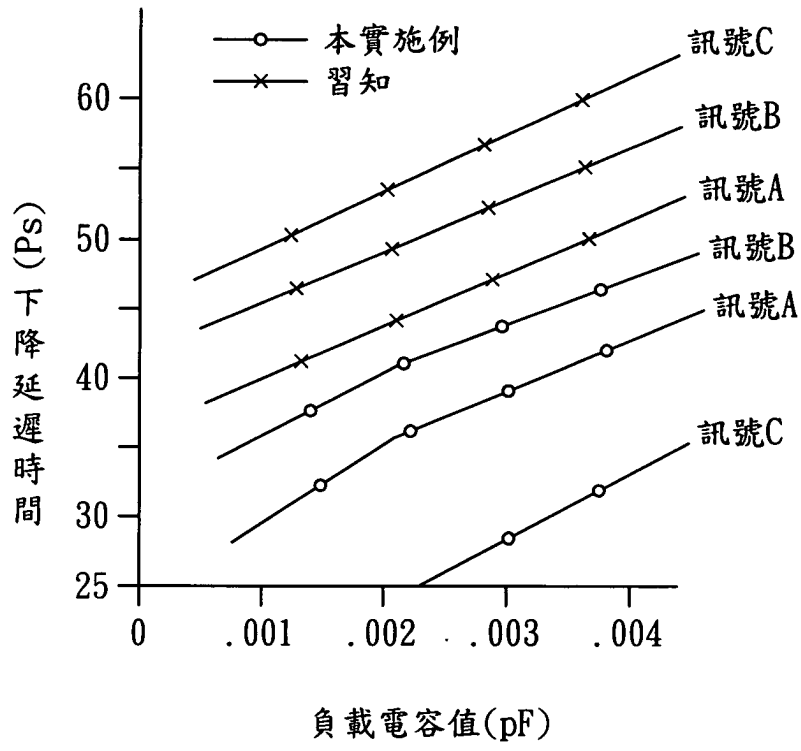


第 3 圖



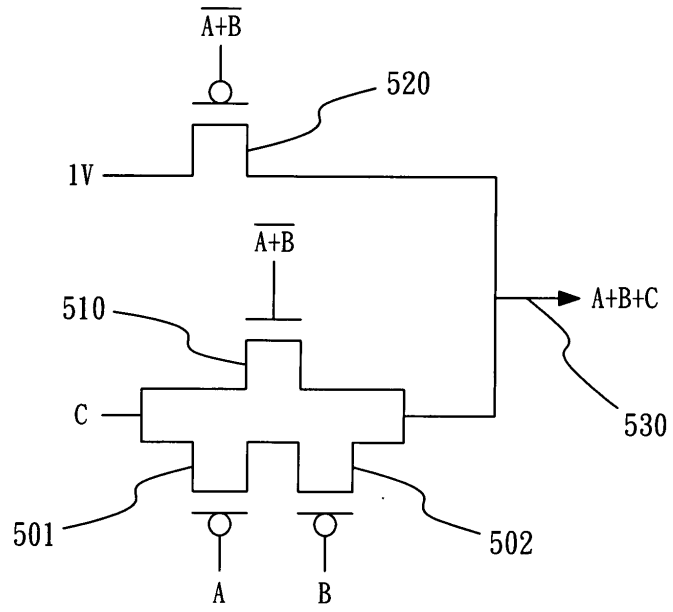
第 4A 圖

(6)

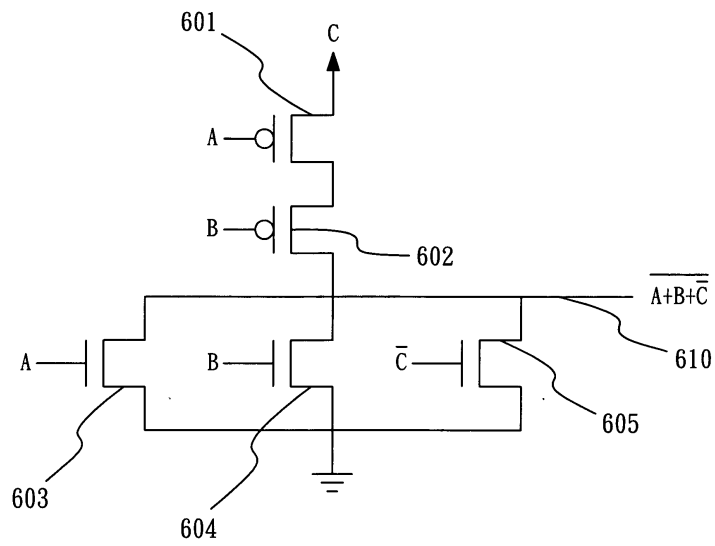


第 4B 圖

(7)

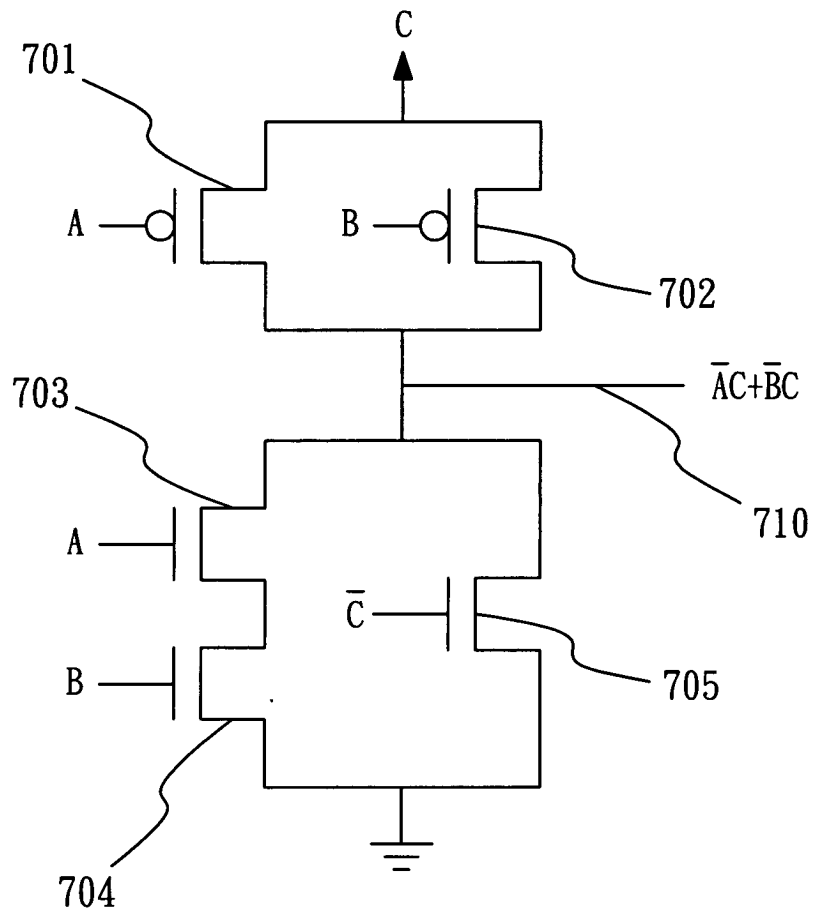


第 5 圖



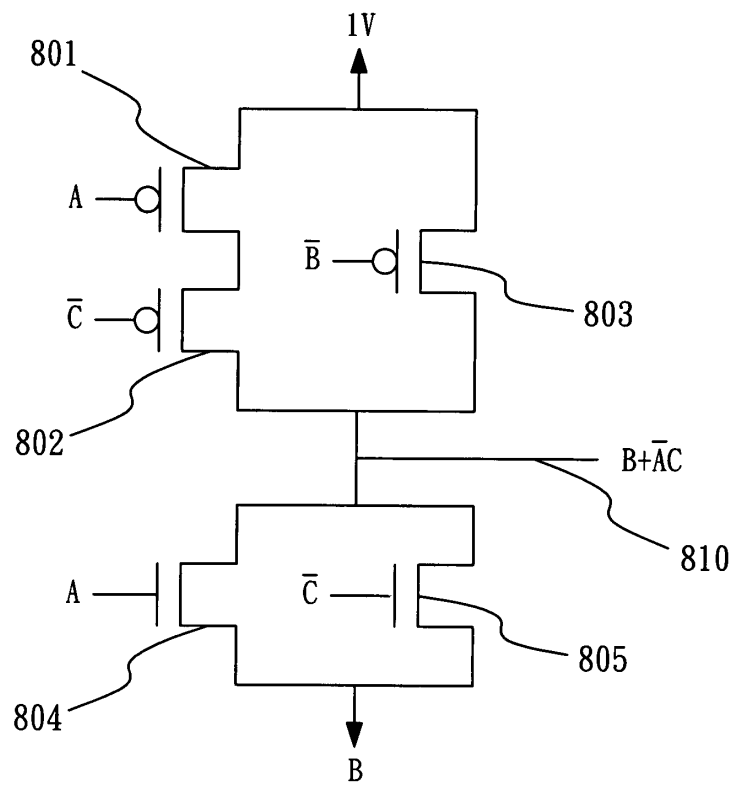
第 6 圖

(8)



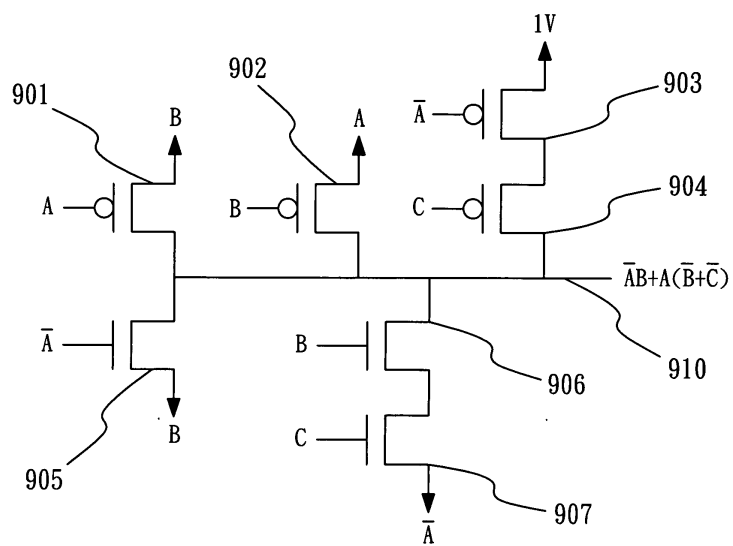
第 7 圖

(9)



第 8 圖

(10)



第 9 圖