

【11】證書號數：I373921

【45】公告日：中華民國 101 (2012) 年 10 月 01 日

【51】Int. Cl. : H03M1/12 (2006.01)

發明

全 5 頁

【54】名稱：類比階層偵測電路及其數位階層選擇器

ANALOG LEVEL DETECTOION CIRCUIT AND DIGITAL LEVEL  
SELECTOR THEREOF

【21】申請案號：096102227

【22】申請日：中華民國 96 (2007) 年 01 月 19 日

【11】公開編號：200832927

【43】公開日期：中華民國 97 (2008) 年 08 月 01 日

【72】發明人：林志明 (TW) LIN, ZHIMING

【71】申請人：國立彰化師範大學

NATIONAL CHANGHUA UNIVERSITY  
OF EDUCATION

彰化縣彰化市進德路 1 號

【74】代理人：蔡坤財；李世章

【56】參考文獻：

US 4688948

US 5497200

US 5572496

審查人員：吳鴻鎮

## [57]申請專利範圍

1. 一種類比階層偵測電路，包含：一溫度碼產生器，具有複數個比較器，用以依序接收一數位訊號中複數個位元值( $V_1, V_2, \dots, V_m$ )以及一參考值  $V_{ref}$ ，每一該些比較器係用以接收兩相鄰之上述諸值，以利用其差值產生複數個溫度位元值( $Q_1, Q_2, \dots, Q_m$ )，進而組成一溫度碼；以及一數位階層選擇器，用以接收該複數個位元值( $V_1, V_2, \dots, V_m$ )及該複數個溫度位元值( $Q_1, Q_2, \dots, Q_m$ )，進而產生一類比電壓值，該數位階層選擇器包括：一數位碼轉換器，係用以接收該複數個溫度位元值( $Q_1, Q_2, \dots, Q_m$ )，進而產生複數個選擇值( $S_1, S_2, \dots, S_m$ )；以及一位準選擇器，具有複數個傳輸閘，其輸入端依序接收該複數個位元值( $V_1, V_2, \dots, V_m$ )，其輸出端為一類比訊號輸出端以提供該類比電壓值，該複數個傳輸閘係依序根據該複數個選擇值( $S_1, S_2, \dots, S_m$ )決定其啟閉。
2. 如申請專利範圍第 1 項所述之類比階層偵測電路，其中該數位碼轉換器為複數個 NOT 邏輯閘與複數個 NAND 邏輯閘，該複數個 NOT 邏輯閘係擇一用以接收該複數個溫度位元值( $Q_1, Q_2, \dots, Q_m$ )之最大有效位元  $Q_m$ ，以產生該複數個選擇值( $S_1, S_2, \dots, S_m$ )之最大有效位元  $S_m$ ，其餘之該些 NOT 邏輯閘係將該些溫度位元值( $Q_1, Q_2, \dots, Q_m$ )除最大有效位元  $Q_m$  與最小有效位元  $Q_1$  外，逐一反相運算，再兩兩將反相後的結果  $\overline{Q_i}$  與相鄰未反相之溫度位元值  $Q_{i-1}$  輸入該些 NAND 邏輯閘，以產生除該最大有效位元  $S_m$  外之其他該些選擇值( $S_1, S_2, \dots, S_{m-1}$ )。
3. 如申請專利範圍第 1 項所述之類比階層偵測電路，其中該數位碼轉換器為複數個 EX-NOR 邏輯閘與一 NOT 邏輯閘，該 NOT 邏輯閘係用以接收該複數個溫度位元值( $Q_1, Q_2, \dots, Q_m$ )之最大有效位元  $Q_m$ ，以產生該複數個選擇值( $S_1, S_2, \dots, S_m$ )之最大有效位元  $S_m$ ，該複數個 EX-NOR 邏輯閘係依序接收兩相鄰之該些溫度位元值( $Q_1, Q_2, \dots, Q_m$ )，以產生除該最大有效位元  $S_m$  外之其他該些選擇值( $S_1, S_2, \dots, S_{m-1}$ )。

(2)

4. 一種數位階層選擇器，包括：一數位碼轉換器，係用以接收複數個溫度位元值  $(Q_1, Q_2, \dots, Q_m)$ ，進而產生複數個選擇值  $(S_1, S_2, \dots, S_m)$ ；以及一位準選擇器，具有複數個傳輸閘，其輸入端依序接收複數個位元值  $(V_1, V_2, \dots, V_m)$ ，其輸出端為一類比訊號輸出端以提供一類比電壓值，該複數個傳輸閘用以依序根據該複數個選擇值  $(S_1, S_2, \dots, S_m)$  決定其啟閉。
5. 如申請專利範圍第 4 項所述之數位階層選擇器，其中該數位碼轉換器為複數個 NOT 邏輯閘與複數個 NAND 邏輯閘，該複數個 NOT 邏輯閘係擇一用以接收該複數個溫度位元值  $(Q_1, Q_2, \dots, Q_m)$  之最大有效位元  $Q_m$ ，以產生該複數個選擇值  $(S_1, S_2, \dots, S_m)$  之最大有效位元  $S_m$ ，其餘之該些 NOT 邏輯閘係將該些溫度位元值  $(Q_1, Q_2, \dots, Q_m)$  除最大有效位元  $Q_m$  與最小有效位元  $Q_1$  外，逐一反相運算，再兩兩將反相後的結果  $\overline{Q_i}$  與相鄰未反相之溫度位元值  $Q_{i-1}$  輸入該些 NAND 邏輯閘，以產生除該最大有效位元  $S_m$  外之其他該些選擇值  $(S_1, S_2, \dots, S_{m-1})$ 。
6. 如申請專利範圍第 4 項所述之數位階層選擇器，其中該數位碼轉換器為複數個 EX-NOR 邏輯閘與一 NOT 邏輯閘，該 NOT 邏輯閘係用以接收該複數個溫度位元值  $(Q_1, Q_2, \dots, Q_m)$  之最大有效位元  $Q_m$ ，以產生該複數個選擇值  $(S_1, S_2, \dots, S_m)$  之最大有效位元  $S_m$ ，該複數個 EX-NOR 邏輯閘係依序接收兩相鄰之該些溫度位元值  $(Q_1, Q_2, \dots, Q_m)$ ，以產生除該最大有效位元  $S_m$  外之其他該些選擇值  $(S_1, S_2, \dots, S_{m-1})$ 。

#### 圖式簡單說明

為讓本發明之上述和其他方式、特徵、優點與實施例能更明顯易懂，所附圖式之詳細說明如下：第 1 圖係繪示一習用管線式類比數位轉換系統之示意圖。

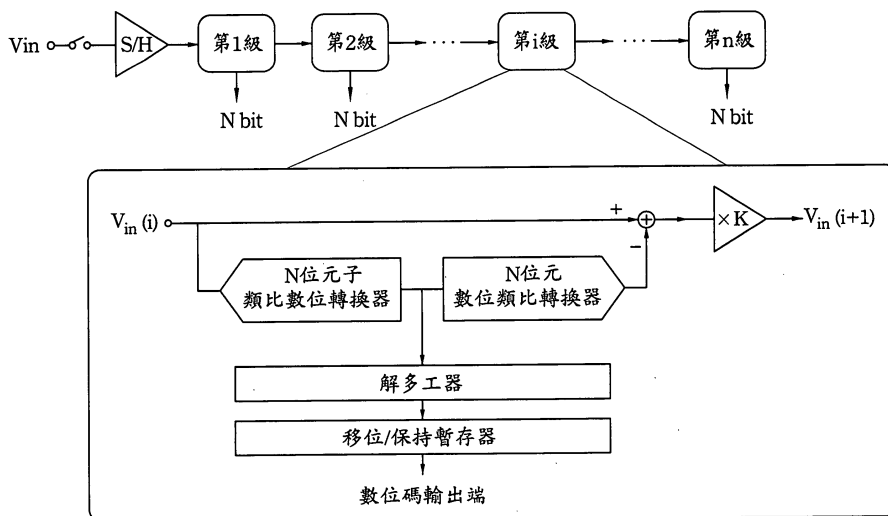
第 2 圖係繪示依照本發明一較佳實施例的一種數位類比轉換器之示意圖。

第 3 圖係繪示依照本發明一較佳實施例的一種類比階層偵測電路之示意圖。

第 4 圖係繪示依照本發明一較佳實施例的一種類比階層偵測電路之示意圖。

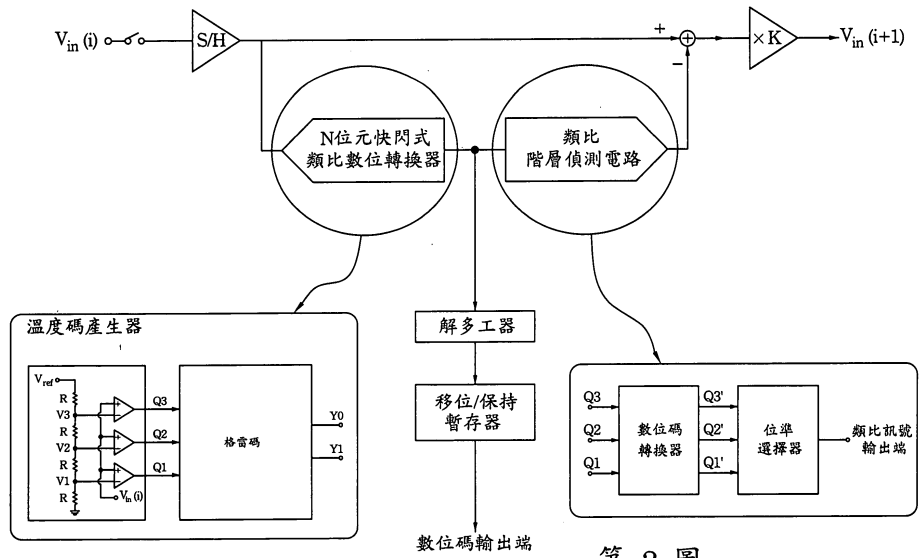
第 5 圖係繪示一種習用之 MDAC 電路圖。

第 6 圖係繪示依照本發明一較佳實施例的一種類比階層偵測電路和習用 MDAC 電路的電晶體數目比較圖。

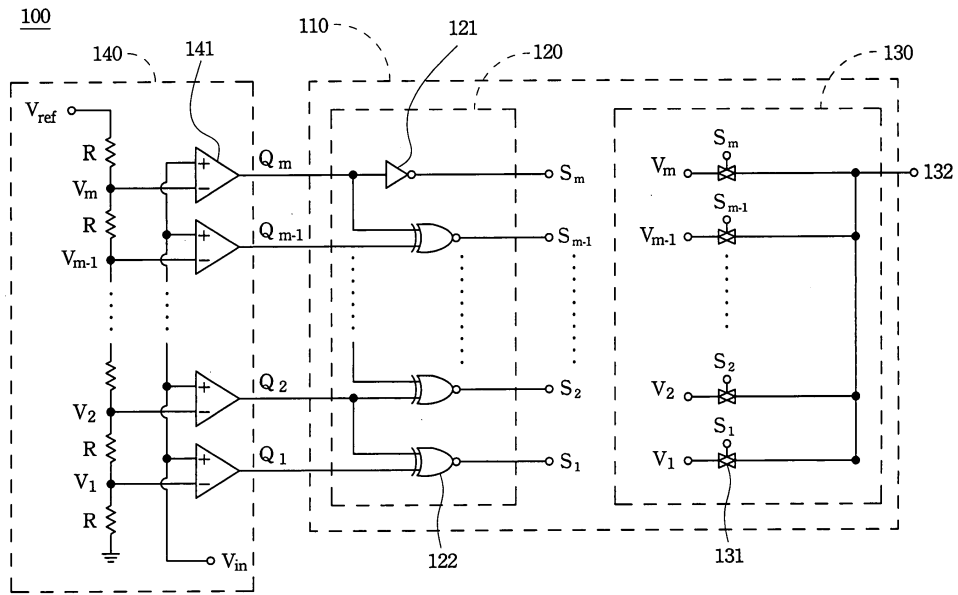


第 1 圖

(3)

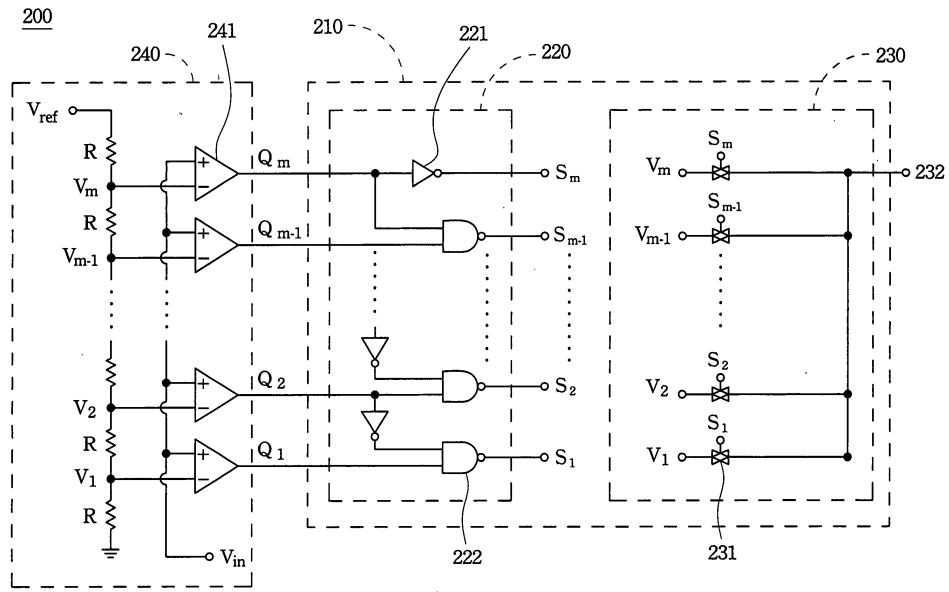


第 2 圖

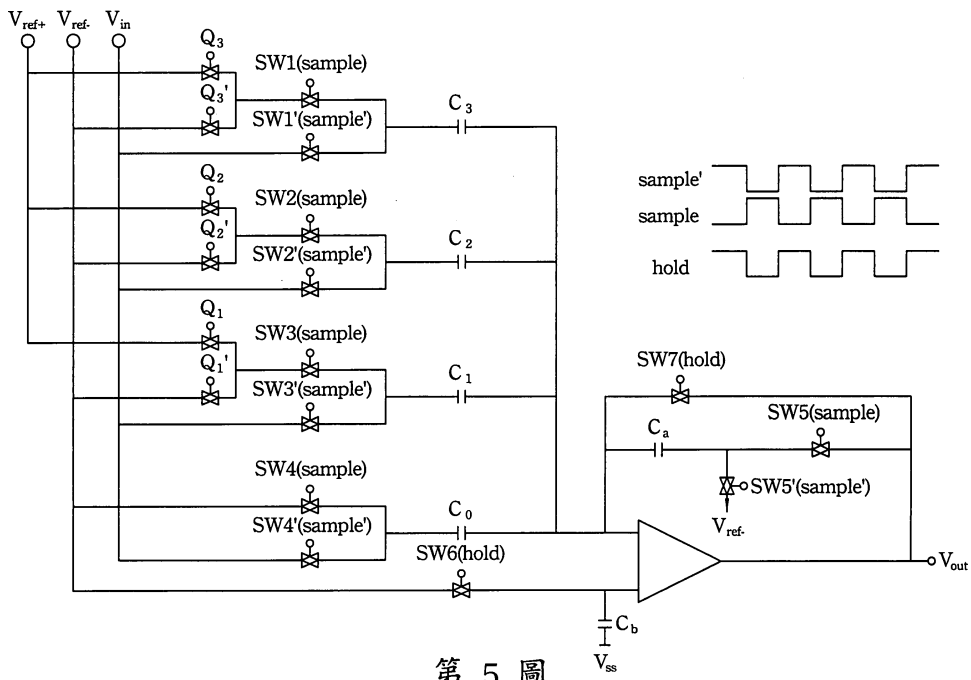


第 3 圖

(4)

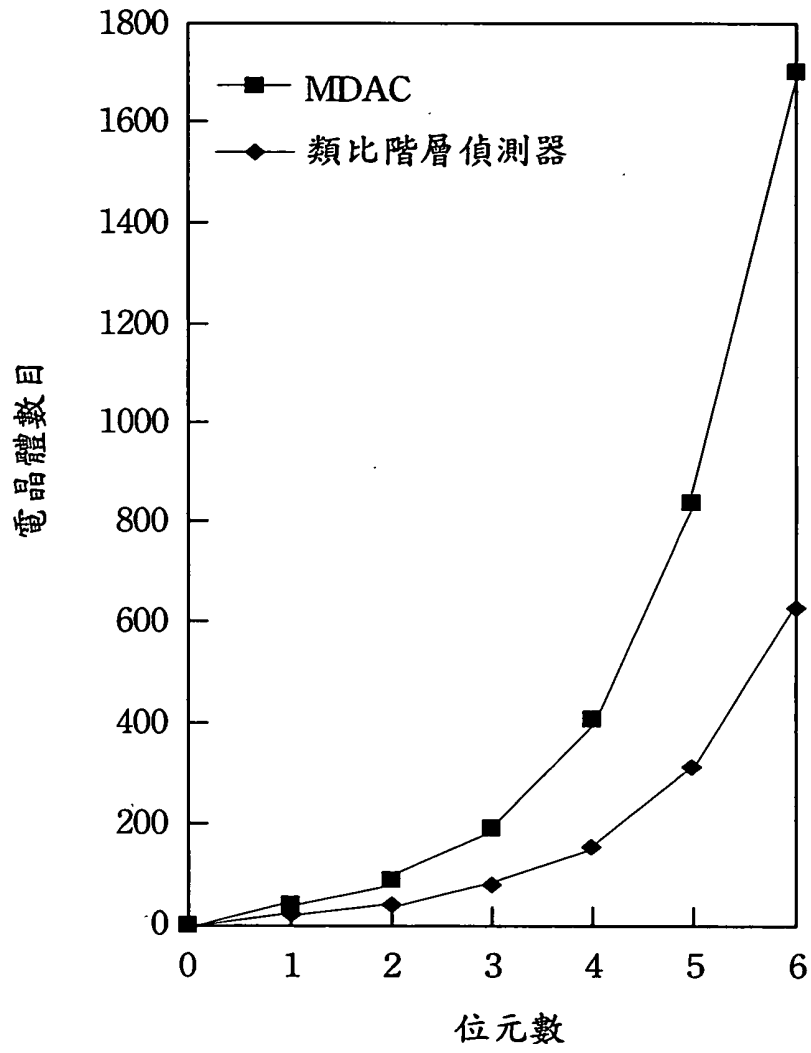


第 4 圖



第 5 圖

(5)



第 6 圖