

【11】證書號數：I365405

【45】公告日：中華民國 101 (2012) 年 06 月 01 日

【51】Int. Cl. : G06F7/50 (2006.01)

發明

全 4 頁

【54】名稱：二進位編碼的十進位數之加法器

BINARY-CODED DECIMAL ADDER

【21】申請案號：097115565

【22】申請日：中華民國 97 (2008) 年 04 月 28 日

【11】公開編號：200945186

【43】公開日期：中華民國 98 (2009) 年 11 月 01 日

【72】發明人：易序忠 (TW) YI, SHUCHUNG；林建宏 (TW) LIN, CHIENHUNG；張世勳 (TW) CHANG, SHIXUN

【71】申請人：國立彰化師範大學

NATIONAL CHANGHUA UNIVERSITY
OF EDUCATION

彰化縣彰化市進德路 1 號

【74】代理人：蔡坤財；李世章

【56】參考文獻：

EP 1457876A2

US 5007010

US 5258945

US 6546411B1

US 7299254B2

Zi-Yi Zhao, Chien-Hung Lin, Yu-Zhi Xie, Yen-Ju Chen, Yi-Jie Lin, Shu-Chung Yi, "The novel Chinese abacus adder" VLSI Design, Automation and Test, 2007. VLSI-DAT 2007. International Symposium on IEEE, 25-27 April, 2007. No. 9693555, pages 1 to 4.

審查人員：洪奕璿

[57]申請專利範圍

1. 一種二進位編碼的十進位數之加法器，係用以將一加數訊號與一被加數訊號進行運算並轉換成一二進位編碼的十進位數輸出，該加法器包含：一第一轉換單元，係接收該加數訊號並將其轉換成一第一訊號，其中該第一訊號包含一第一高權值訊號以及一第一低權值訊號；一第二轉換單元，係接收該被加數訊號並將其轉換成一第二訊號，其中該第二訊號包含一第二高權值訊號以及一第二低權值訊號；一第一平行加法單元，係耦接於該第一轉換單元以及該第二轉換單元，並接收且運算該第一高權值訊號以及該第二高權值訊號，且轉換其運算結果成一第一溫度計碼訊號；一第二平行加法單元，係耦接於該第一轉換單元以及該第二轉換單元，並接收且運算至少該第一低權值訊號、該第二低權值訊號以及一進位位元輸入訊號，且轉換其運算結果成一第二溫度計碼訊號，其中該三輸入訊號格式不完全相同；該第一平行加法單元及該第二平行加法單元之輸入訊號數目亦不相同；該第一平行加法單元及該第二平行加法單元之輸出訊號數目亦不相同；一第三轉換單元，耦接於該第一平行加法單元以及該第二平行加法單元，並轉換該第一溫度計碼訊號與該第二溫度計碼訊號的運算結果成該二進位編碼的十進位數輸出；以及一進位判斷單元，係接收該第一溫度計碼訊號以及該第二溫度計碼訊號，用以判斷是否有進位產生。
2. 如申請專利範圍第 1 項所述之二進位編碼的十進位數之加法器，其中該進位判斷單元包含：一及閘，包含兩輸入端以及一輸出端，該兩輸入端分別耦接至該第一平行加法單元

(2)

及該第二平行加法單元，且接收該第一溫度計碼訊號以及該第二溫度計碼訊號；以及一或閘，包含兩輸入端以及一輸出端，該兩輸入端分別接收該及閘之輸出端的訊號以及該第一溫度計碼訊號，該輸出端用以輸出一進位訊號。

3. 如申請專利範圍第 1 項所述之二進位編碼的十進位數之加法器，其中該第一高權值訊號與該第二高權值訊號分別包含一高權值位元，該第一低權值訊號與該第二低權值訊號分別包含四個低權值位元；其中該第一轉換單元與該第二轉換單元真值表之最小項邏輯為： $u = \Sigma(5,6,7,8,9)$ ； $I_3 = \Sigma(4,9)$ ； $I_2 = \Sigma(3,4,8,9)$ ； $I_1 = \Sigma(2,3,4,7,8,9)$ ； $I_0 = \Sigma(1,2,3,4,6,7,8,9)$ 。
4. 如申請專利範圍第 1 項所述之二進位編碼的十進位數之加法器，其中該加數訊號與該被加數訊號分別為一 4 位元二進位編碼的十進制數字；該高權值位元之權重值為 5，該低權值位元之權重值為 1。
5. 如申請專利範圍第 1 項所述之二進位編碼的十進位數之加法器，其中該第一溫度計碼訊號為 2 位元的訊號，該第二溫度計碼訊號為一 9 位元的訊號，該第一溫度計碼訊號與該第二溫度計碼訊號運算結果為一 11 位元的訊號；其中該第二平行加法單元，將二組溫度計碼訊號加總並輸出一組溫度計碼訊號，該第二平行加法單元同時將二組溫度計碼訊號及第三組二進碼訊號加總，並輸出一組溫度計碼訊號，且該第三組二進碼訊號為前一級之進位訊號；第二平行加法單元同時加總至少三組格式不同的數位碼訊號；又其中該第一平行加法單元之邏輯為： $k_0 = \Sigma(3)$ ； $k_1 = \Sigma(1,2,3)$ ；且其中該第二平行加法單元之邏輯為： $k_0 = \Sigma(1,3,7,15,16,17,19,23,31,48,49,51,55,63,112,113,115,119,127,240,241,243,247,255,257,259,263,271,272,273,275,279,287,304,305,307,311,319,368,369,371,375,383,496,497,499,503,511)$ ； $k_1 = \Sigma(3,7,15,17,19,23,31,48,49,51,55,63,112,113,115,119,127,240,241,243,247,255,257,259,263,271,272,273,275,279,287,304,305,307,311,319,368,369,371,375,383,496,497,499,503,511)$ ； $k_2 = \Sigma(7,15,19,23,31,49,51,55,63,112,113,115,119,127,240,241,243,247,255,259,263,271,273,275,279,287,304,305,307,311,319,368,369,371,375,383,496,497,499,503,511)$ ； $k_3 = \Sigma(15,23,31,51,55,63,113,115,119,127,240,241,243,247,255,263,271,275,279,287,305,307,311,319,368,369,371,375,383,496,497,499,503,511)$ ； $k_4 = \Sigma(31,55,63,115,119,127,241,243,247,255,271,279,287,307,311,319,369,371,375,383,496,497,499,503,511)$ ； $k_5 = \Sigma(63,119,127,243,247,255,287,311,319,371,375,383,497,499,503,511)$ ； $k_6 = \Sigma(127,247,255,319,375,383,499,503,511)$ ； $k_7 = \Sigma(255,383,503,511)$ ； $k_8 = \Sigma(511)$ 。
6. 如申請專利範圍第 1 項所述之二進位編碼的十進位數之加法器，其中該第一轉換單元與該第二轉換單元分別為一二進位編碼的十進制數字對低/高權值訊號的轉換單元；該第三轉換單元直接將一溫度計碼轉換為二進制訊號，且該第三轉換單元僅轉換同一種格式的數位碼，並不處理前一級的進位訊號；其中該第三轉換單元之邏輯為： $S_0 = \Sigma(1,7,31,127,511,512,515,527,575,767,1537,1543,1567,1663,2047)$ ； $S_1 = \Sigma(3,7,63,127,513,515,639,767,1539,1543,1599,1663)$ ； $S_2 = \Sigma(15,31,63,127,512,513,515,1023,1551,1567,1599,1663)$ ； $S_3 = \Sigma(255,511,519,527,1791,2047)$ ；且該第一訊號與該第二訊號分別為一十進制的低/高權值訊號。

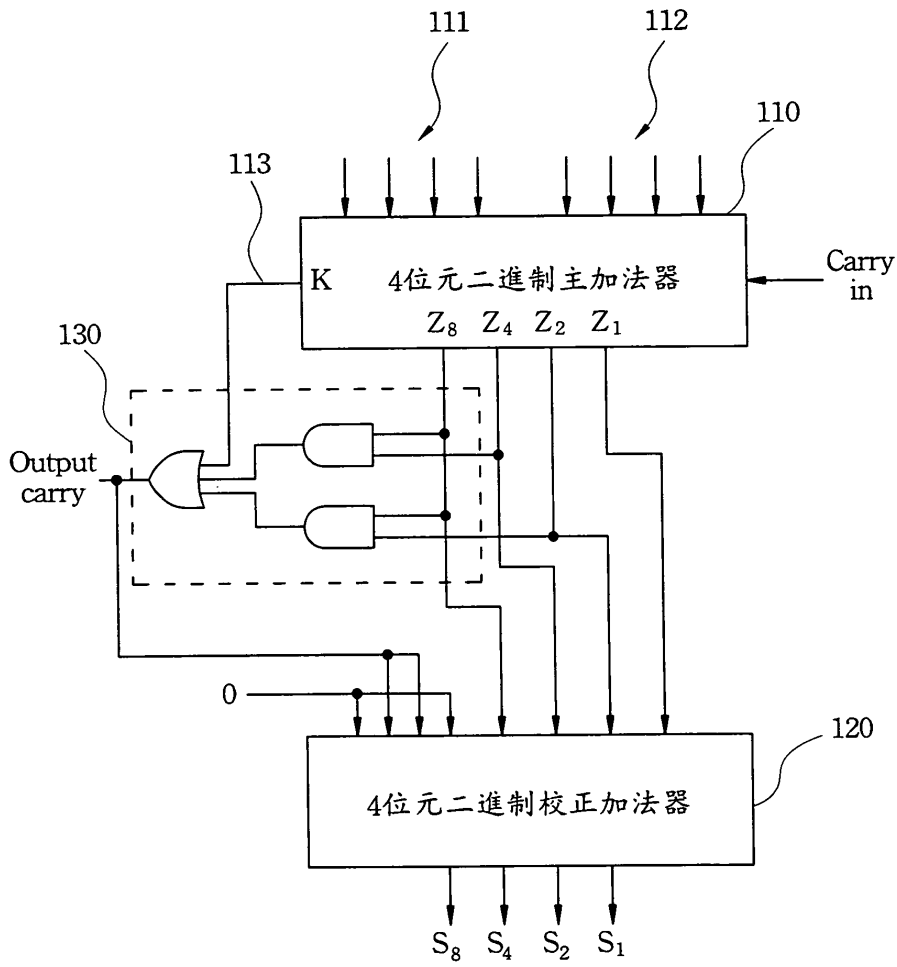
圖式簡單說明

為讓本發明之上述和其他目的、特徵、優點與實施例能更明顯易懂，所附圖式之詳細說明如下：

(3)

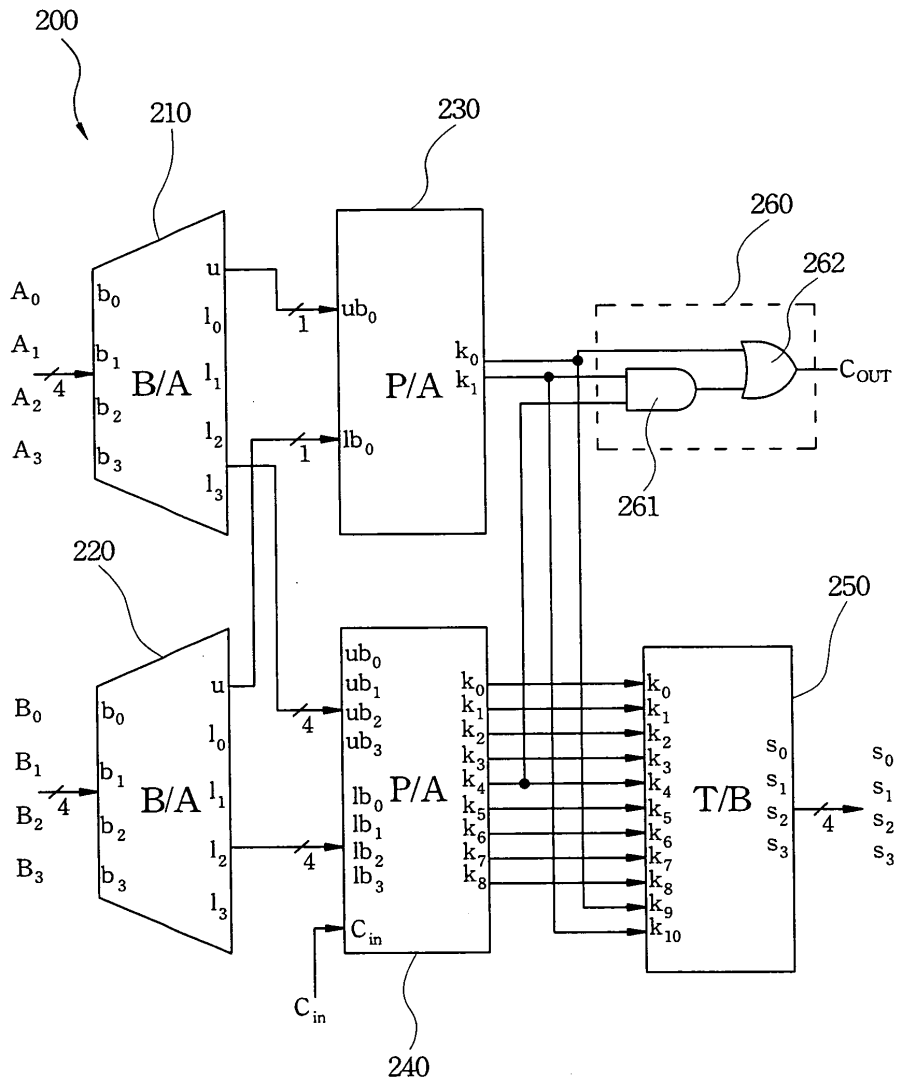
第 1 圖是傳統的 BCD 加法器之示意圖。

第 2 圖係繪示依照本發明一較佳實施例的一種二進位編碼的十進位數之加法器之示意圖。



第 1 圖

(4)



第 2 圖