

【11】證書號數：I362833

【45】公告日：中華民國 101 (2012) 年 04 月 21 日

【51】Int. Cl. : H03K5/14 (2006.01) H03K23/42 (2006.01)

發明

全 5 頁

【54】名稱：低功率低面積全數位隨機抖動產生器

LOW-POWER LOW-AREA ALL-DIGITAL RANDOM JITTER
GENERATOR

【21】申請案號：097115339

【22】申請日：中華民國 97 (2008) 年 04 月 25 日

【11】公開編號：200945786

【43】公開日期：中華民國 98 (2009) 年 11 月 01 日

【72】發明人：黃宗柱 (TW) HUANG, TSUNGCHU

【71】申請人：國立彰化師範大學

NATIONAL CHANGHUA UNIVERSITY
OF EDUCATION

彰化縣彰化市進德路 1 號

【74】代理人：蔡坤財；李世章

【56】參考文獻：

TW I307460

TW I322376

US 4377757

US 7095264B1

審查人員：黃雅崇

[57]申請專利範圍

1. 一種低功率低面積全數位隨機抖動產生器，包含：一抖動分佈控制單元；以及複數個延遲單元，各該延遲單元係相互串接且各該延遲單元直接與該抖動分佈控制單元電性連接，且各該串接的延遲單元係為一可選式之延遲單元；其中該些延遲單元係用以提供延遲一選擇線之二進位數個延遲單位，該二進位數係由該抖動分佈控制單元輸入各該延遲單元；其中各該延遲單元的延遲路徑是由高低門檻交錯金氧半邏輯電路實現。
2. 如請求項 1 所述之低功率低面積全數位隨機抖動產生器，其中該抖動分佈控制單元為一互斥或閘，各該延遲單元均為一正反器，該互斥或閘與各該正反器形成線性移位暫存器。
3. 如請求項 2 所述之低功率低面積全數位隨機抖動產生器，其中各該正反器是以時脈輸入經一驅動緩衝器後觸發，且再經延遲緩衝器後輸入至一第 0 級延遲單元。
4. 如請求項 1 所述之低功率低面積全數位隨機抖動產生器，其中該抖動分佈控制單元係為一內嵌式處理器。

圖式簡單說明

為讓本發明之上述和其他目的、特徵、優點與實施例能更明顯易懂，所附圖式之詳細說明如下：第 1 圖係為習知抖動產生器的線路圖。

第 2 圖係為本發明之低功率低面積全數位隨機抖動產生器的電路方塊圖。

第 3 圖係為低功率低面積全數位隨機抖動產生器之一實施例之電路圖。

第 4 圖係為高、低門檻交錯金氧半之快速正緣反閘的電路圖與電路符號。

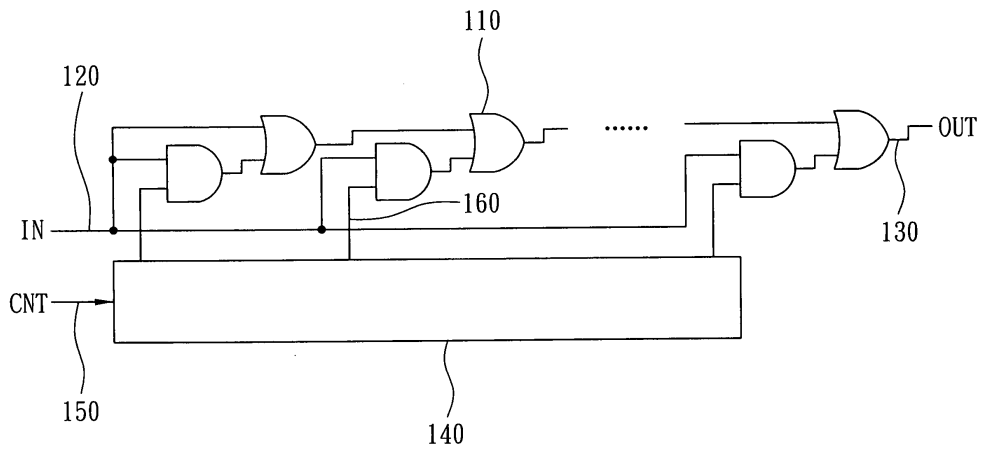
第 5 圖係為高、低門檻交錯金氧半之快速負緣反閘的電路圖與電路符號。

第 6 圖係為多工器的電路圖與電路符號。

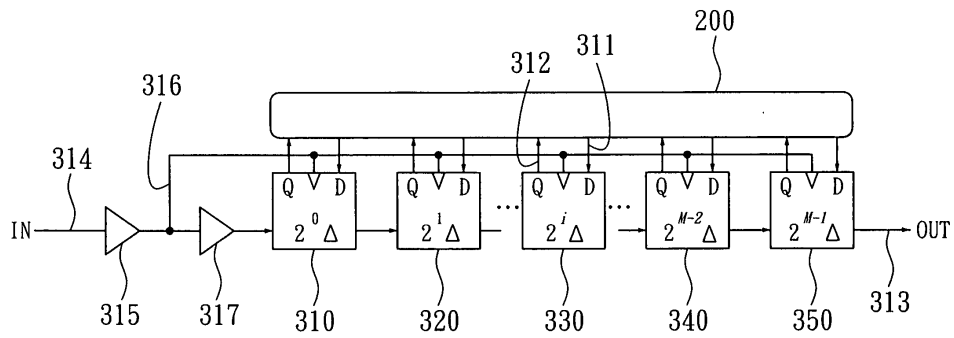
第 7 圖係為快速正緣緩衝器的電路圖與電路符號。

第 8 圖係為第 3 圖中第 i 級延遲單元的電路圖及電路符號。

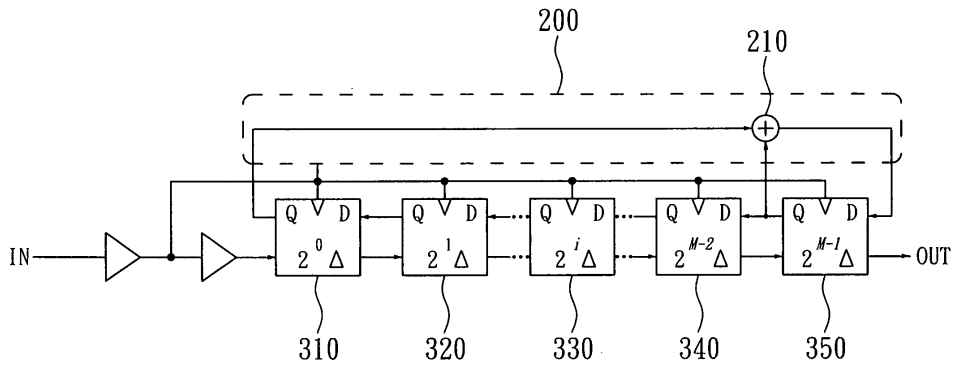
(2)



第 1 圖

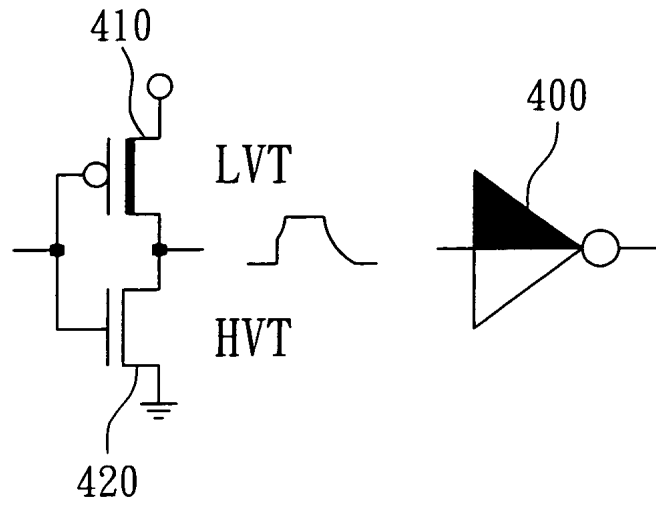


第 2 圖

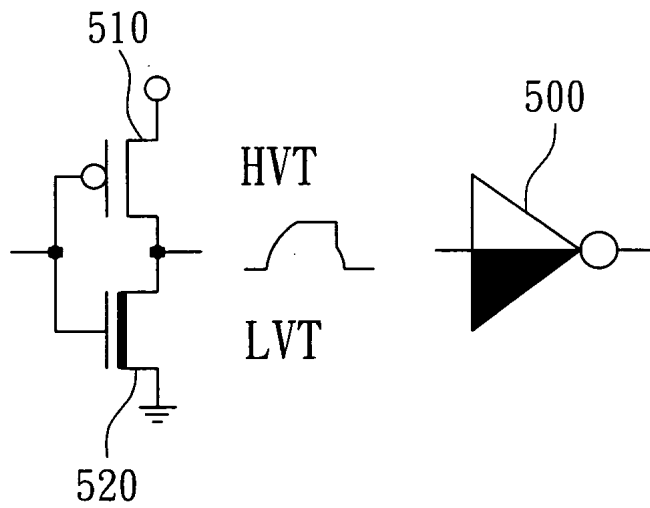


第 3 圖

(3)

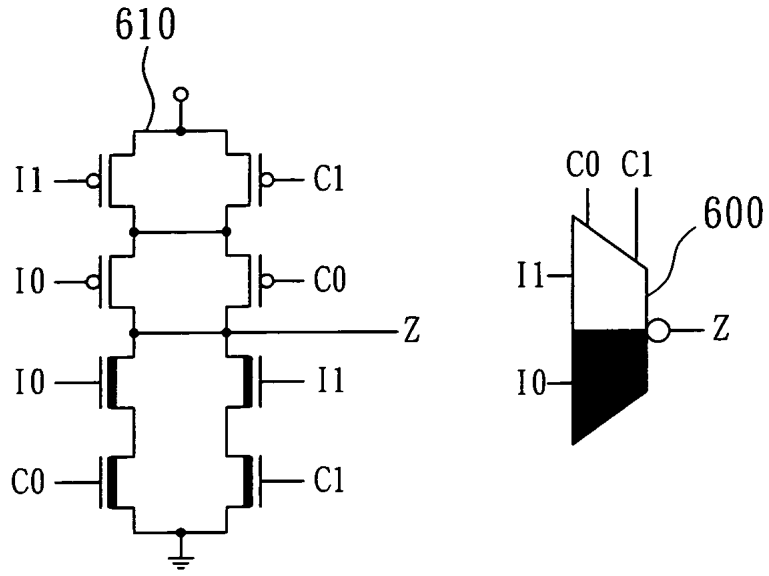


第 4 圖

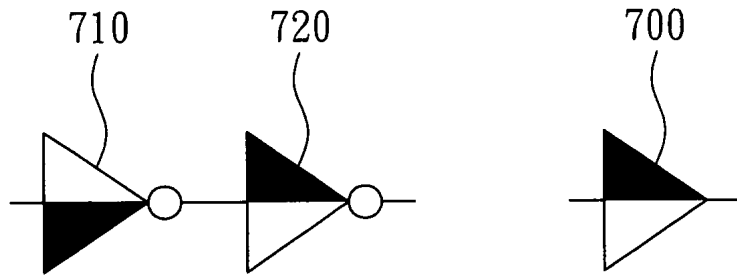


第 5 圖

(4)

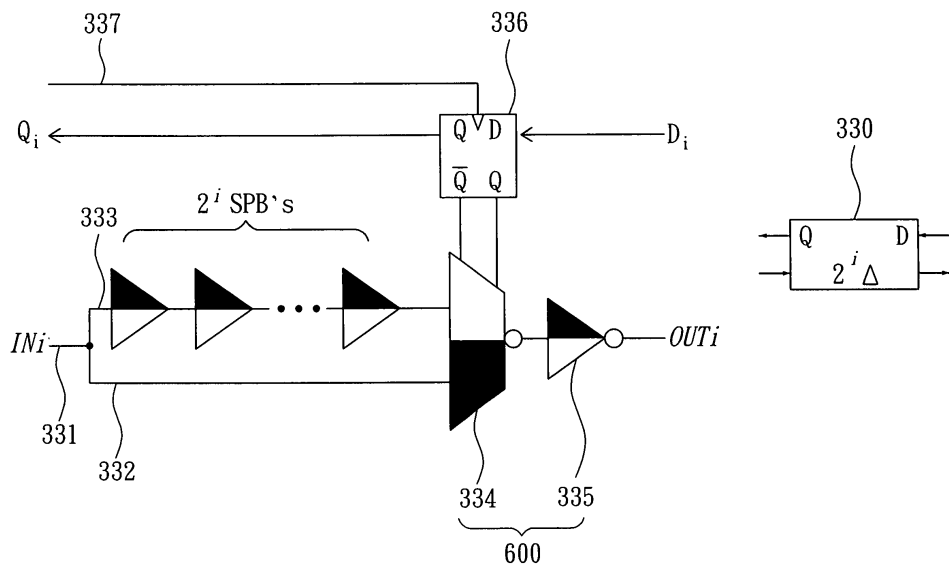


第 6 圖



第 7 圖

(5)



第 8 圖

