

【11】證書號數： I227059

【45】公告日： 中華民國 94 (2005) 年 01 月 21 日

【51】Int. Cl.<sup>7</sup>: H01L29/739  
H01L21/765  
H01L21/328

發明

全 10 頁

【54】名稱：絕緣閘雙極性電晶體抑制單一事件閃鎖之結構及其方法

【21】申請案號： 091137555

【22】申請日期： 中華民國 91 (2002) 年 12 月 23 日

【11】公開編號： 200411929

【43】公開日期： 中華民國 93 (2004) 年 07 月 01 日

【72】發明人：

賴永齡

黃智彥

【71】申請人：

賴永齡

臺北縣新店市永業路二十二

巷七號四樓

【74】代理人：田國健 先生

1

2

[57]申請專利範圍：

1. 一種絕緣閘雙極性電晶體抑制單一事件閃鎖之結構，該絕緣閘雙極性電晶體係為一 N 型通道者，其主要係包括一 N<sup>+</sup> Emitter(射極)、一 P-Base(基極)、一 N<sup>-</sup> 漂移區域、一 N<sup>+</sup> 緩衝層與一 P<sup>+</sup> 基板等部分；其特徵在於：

該 P<sup>-</sup> Base(基極)以離子佈植之方式形成一 P<sup>+</sup> plug(插塞)區域，使該 P<sup>+</sup> plug(插塞)區域右側對齊 N<sup>+</sup> Emitter(射

極)，而其下方對齊 P-Base(基極)，該 P<sup>+</sup> plug(插塞)區域的左方則因應需求而側向移動，俾以降低其側向電阻值。

5. 2. 一種絕緣閘雙極性電晶體抑制單一事件閃鎖之結構，該絕緣閘雙極性電晶體係為一 P 型通道者，其主要係包括一 P<sup>+</sup> Emitter(射極)、一 N Base(基極)、一 P<sup>-</sup> 漂移區域、一 P<sup>+</sup> 緩衝層與一 N<sup>+</sup> 基板等部分；其特徵在於：

該N Base(基極)以離子佈植之方式形成一N<sup>+</sup> plug(插塞)區域，使該N<sup>+</sup> plug(插塞)區域右側對齊P<sup>+</sup> Emitter(射極)，而其下方對齊N Base(基極)，該N<sup>+</sup> plug(插塞)區域的左方則因應需求而側向移動，俾以降低其側向電阻值。

3. 依申請專利範圍第1或第2項所述之絕緣閘雙極性電晶體抑制單一事件門鎖之結構，其中該絕緣閘雙極性電晶體閘極尺寸可為次微米、深次微米或奈米。
4. 一種抑制單一事件門鎖之N型通道絕緣閘雙極性電晶體的製程方法，其係包括下列步驟：
  - (a) 形成P<sup>+</sup>基板；
  - (b) 形成P<sup>+</sup> well(井)：即為P<sup>+</sup> plug(插塞)區域；
  - (c) 形成P-well(井)：即為P-base(基極)區域；
  - (d) 形成gate oxide(閘極氧化層)；
  - (e) 形成poly gate(多晶矽閘極)；
  - (f) 形成emitter(射極)；
  - (g) 形成gate(閘極)上層的氧化層；
  - (h) 形成emitter metallization(射極金屬化)。
5. 依申請專利範圍第4項所述之抑制單一事件門鎖之N型通道絕緣閘雙極性電晶體的製程方法，其中該步驟(b)之處理程序進一步包括下列步驟：
  - (b1) 在N<sup>+</sup> emitter(射極)下方的P<sup>+</sup> plug(插塞)區域藉著離子佈植，將原本在N<sup>+</sup> emitter(射極)下方，由P-Base(基極)與P<sup>+</sup> plug(插塞)所形成的一段濃度低的大電阻與一段濃度高的小電阻區域，俾以降低其側向電阻值，使寄生閘流體不易被驅動；
  - (b2) 其P<sup>+</sup> plug(插塞)右方的邊界係與N<sup>+</sup> emitter(射極)對齊，俾以提高其抗

輻射能力；

- (b3) 其P<sup>+</sup> plug(插塞)區域的深度，完全將P-Base(基極)所形成濃度低的大電阻區域，全部變成為P<sup>+</sup> plug(插塞)所形成的濃度高的小電阻區域，俾以大幅的降低側向電阻。
6. 一種抑制單一事件門鎖之P型通道絕緣閘雙極性電晶體的製程方法，其係包括下列步驟：
  10. (a) 形成N<sup>+</sup>基板；
  - (b) 形成N<sup>+</sup> well(井)：即為N<sup>+</sup> plug(插塞)區域；
  - (c) 形成N-well(井)：即為N-base(基極)區域；
  15. (d) 形成gate oxide(閘極氧化層)；
  - (e) 形成poly gate(多晶矽閘極)；
  - (f) 形成emitter(射極)；
  - (g) 形成gate(閘極)上層的氧化層；
  - (h) 形成emitter metallization(射極金屬化)。
  20. 7. 依申請專利範圍第6項所述之抑制單一事件門鎖之P型通道絕緣閘雙極性電晶體的製程方法，其中該步驟(b)之處理程序進一步包括下列步驟：
    25. (b1) 在P<sup>+</sup> emitter(射極)下方的N<sup>+</sup> plug(插塞)區域藉著離子佈植，將原本在P<sup>+</sup> emitter(射極)下方，由N Base(基極)與N<sup>+</sup> plug(插塞)所形成的一段濃度低的大電阻與一段濃度高的小電阻區域，俾以降低其側向電阻值，使寄生閘流體不易被驅動；
    - (b2) 其N<sup>+</sup> plug(插塞)右方的邊界係與P<sup>+</sup> emitter(射極)對齊，俾以提高其抗輻射能力；
    35. (b3) 其N<sup>+</sup> plug(插塞)區域的深度，完全將N base(基極)所形成濃度低的大電阻區域，全部變成為N plug(插塞)所形成的濃度高的小電阻區域，俾以大幅的降低側向電阻。
    40. 圖式簡單說明：

第 1 圖係本發明之結構的剖視示意圖

第 2 圖係本發明之結構 A 及習用之結構 B 兩種不同結構的集極電流對集極電壓的曲線(固定閘極電壓為 2.9V)

第 3 圖係本發明之結構以重離子 (LET=0.4pC / μm) 撞擊集極偏壓為 250V 時結構 A 的 X=20 μm 位置時電洞電流之流向示意圖，圖中顯示在此情況下沒有看到元件有閃鎖電流的發生

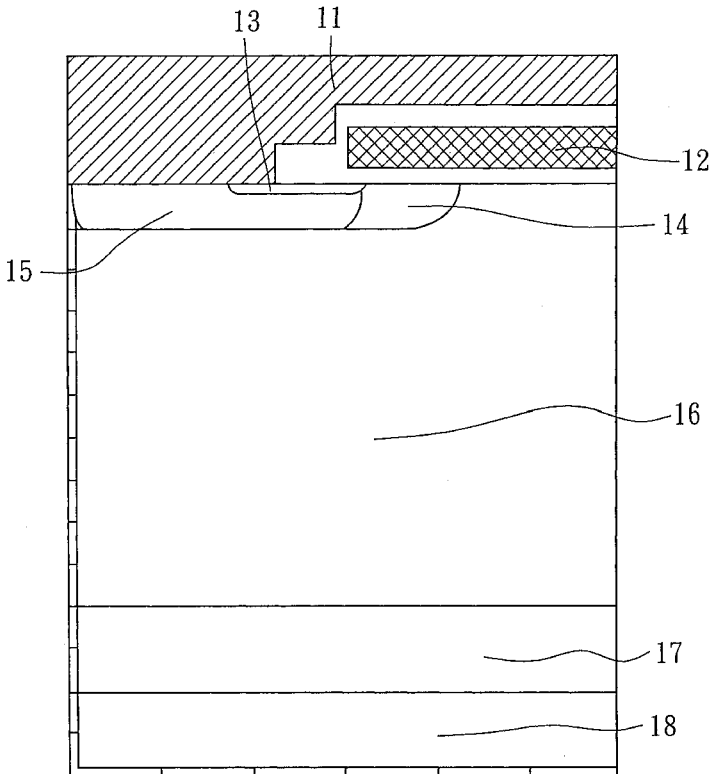
第 4 圖係本發明之結構以重離子 (LET=0.4pC / μm) 撞擊集極偏壓為 310V 時結構 A 的 X=20 μm 位置時電洞電流之流向示意圖，圖中顯示在此情況下可看到元件有閃鎖電流的發生，不過其需有較多的側向電洞電流的流通

第 5 圖係重離子撞擊在本發明之結構 A 的不同集極偏壓下的不同位置時之觸發偏壓值圖示，以觀察 SEL 現象的敏感程度，於圖中可發現 SEL 的觸發偏壓為 270V。而離子撞擊在習知之結構 B 的不同集極偏壓下的不同位置，觀察其對 SEL 現象的敏感程度，可發現 SEL 的觸發偏壓為 50V

第 6 圖係本發明第二實例之結構的剖視示意圖

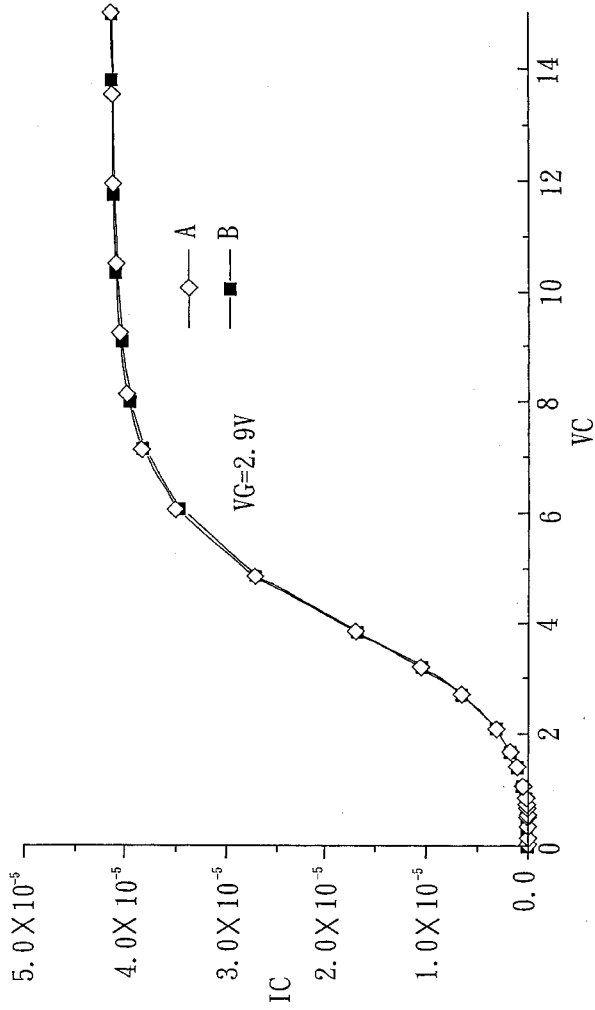
第 7 圖係習知絕緣閘雙極性電晶體結構的剖視示意圖

第 8 圖係習知之結構中以重離子 (LET=0.4pC / μm) 撞擊集極偏壓為 250V 時習知結構 B 的 X=20 μm 位置時電洞電流之流向示意圖，在此情況下可看到元件有閃鎖電流的發生



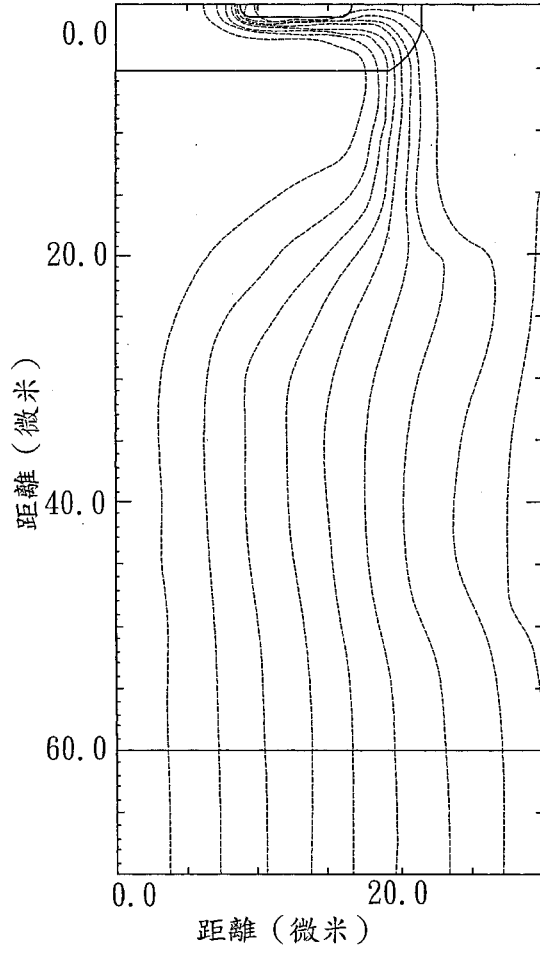
第 1 圖

(4)



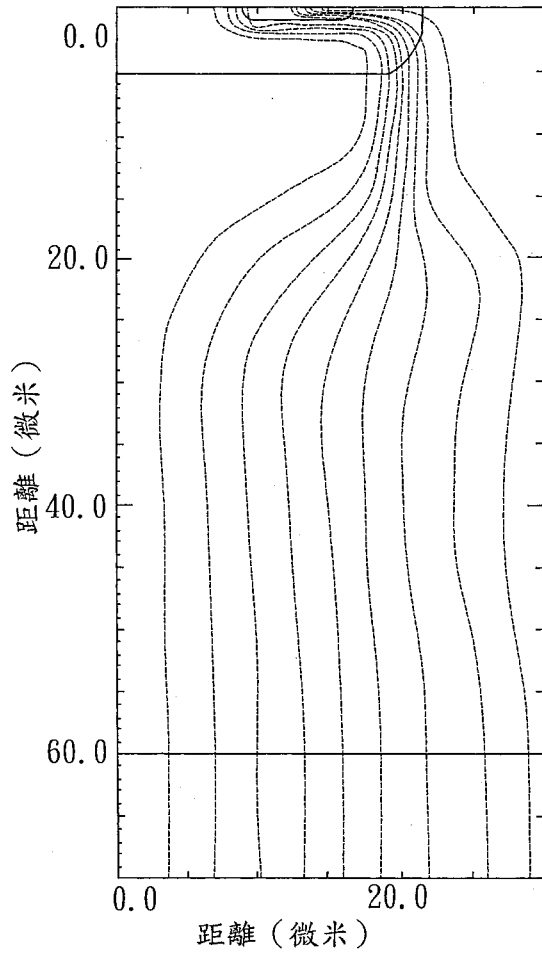
第2圖

(5)

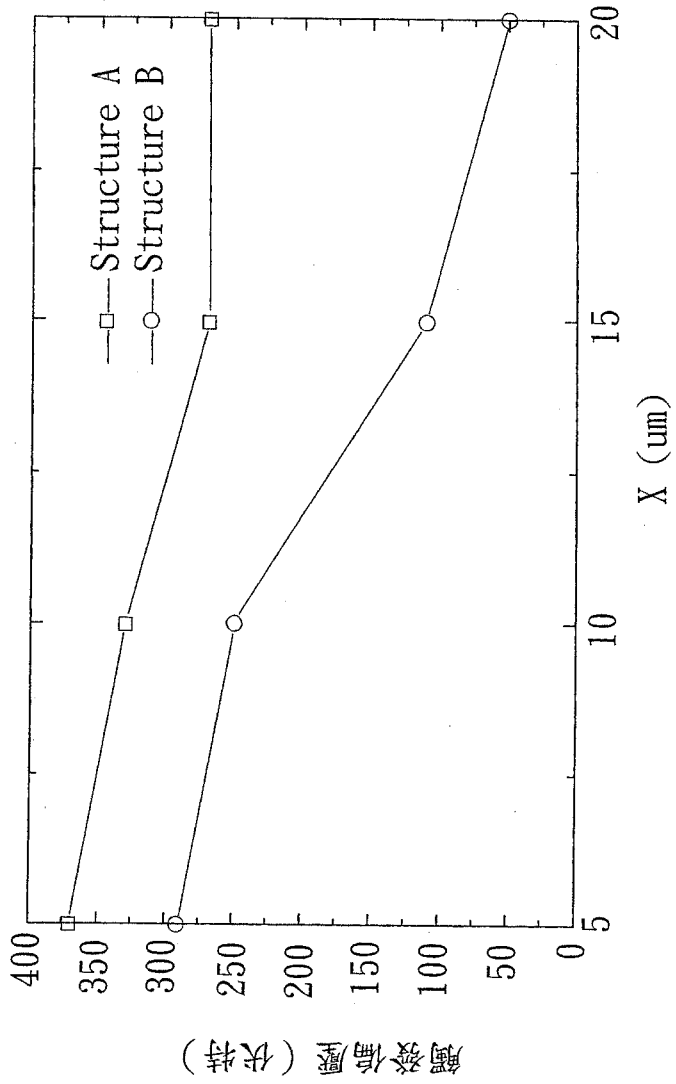


第3圖

(6)

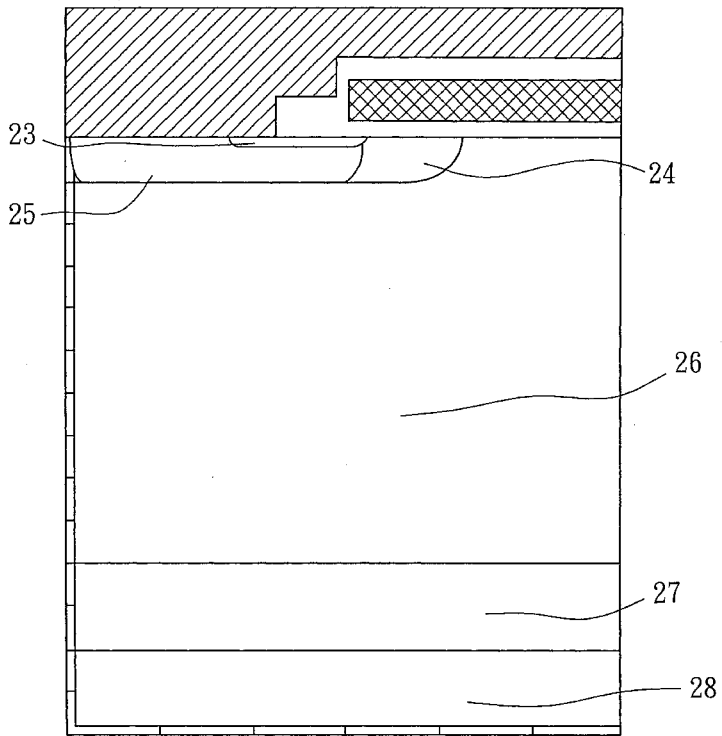


第 4 圖



第5圖

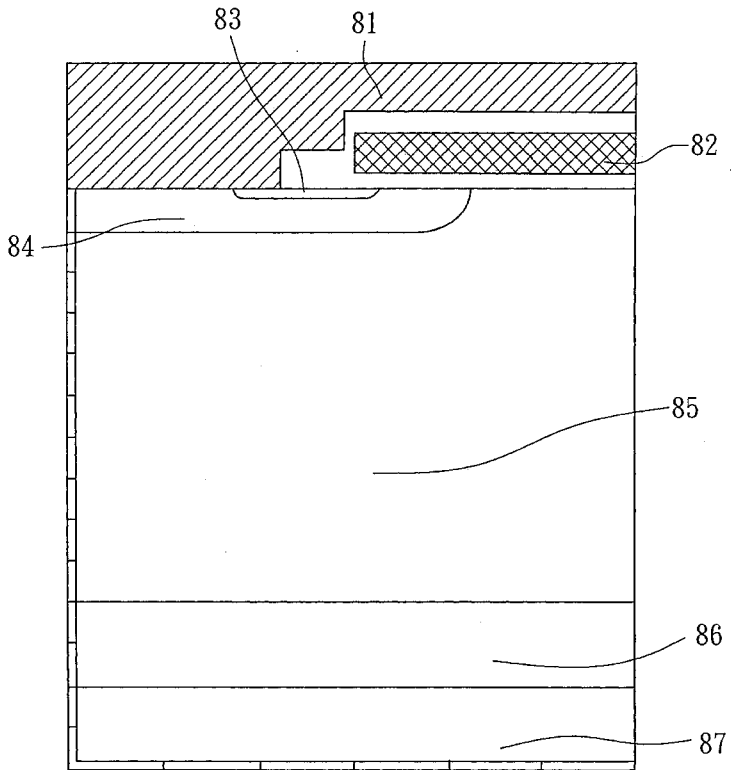
(8)



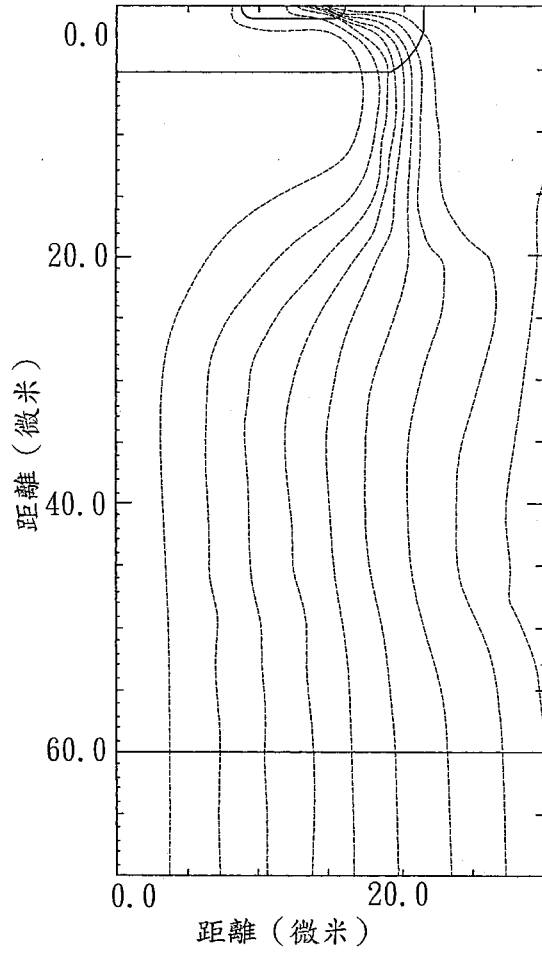
第 6 圖



(9)



第 7 圖



第8圖