

【11】證書號數：I334688

【45】公告日：中華民國 99 (2010) 年 12 月 11 日

【51】Int. Cl. : H03B5/24 (2006.01) H03B7/06 (2006.01)  
H03B1/04 (2006.01)

發明

全 6 頁

【54】名稱：具有雜訊濾除單元之壓控振盪裝置

A VOLTAGE-CONTROLLED OSCILLATOR DEVICE WITH NOISE  
FILTER UNIT

【21】申請案號：096130020

【22】申請日：中華民國 96 (2007) 年 08 月 14 日

【11】公開編號：200908539

【43】公開日期：中華民國 98 (2009) 年 02 月 16 日

【72】發明人：林志明 (TW) LIN, ZHIMING；劉彥均 (TW) LIU, YENCHUN

【71】申請人：國立彰化師範大學

NATIONAL CHANGHUA UNIVERSITY  
OF EDUCATION

彰化縣彰化市進德路 1 號

【74】代理人：蔡坤財；李世章

【56】參考文獻：

TW I257201

TW I261962

TW 200711289A

US 6046647

US 7071788B2

US 7221234B2

Seok-Ju Yun et al., "A 1mW Current-Reuse CMOS Differential LC-VCO with Low Phase Noise", IEEE International Solid-State Circuits Conference, 2005.

## [57]申請專利範圍

1. 一種具有雜訊濾除單元之壓控振盪裝置，包含：一調諧單元，包含：一電感電容槽裝置；以及一負電導電路，係與該電感電容槽裝置並聯連接，並包含一第一電晶體以及一第二電晶體，利用電流重複使用架構，組合該兩電晶體產生一負電導，該負電導與該電感電容槽裝置形成並聯，係用以抵消該電感電容槽裝置之正電導；以及一雜訊濾除單元，係與該調諧單元串聯連接，並包含一濾波電感器以及一濾波電容器，兩者相互並聯。
2. 如申請專利範圍第 1 項所述之具有雜訊濾除單元之壓控振盪裝置，更包含一第一電容器以及一第二電容器，該第一電容器之一端連接於該第一電晶體之汲極端，另一端為接地端，該第二電容器之一端連接於該第二電晶體之汲極端，另一端為接地端。
3. 如申請專利範圍第 1 項或第 2 項所述之具有雜訊濾除單元之壓控振盪裝置，其中該電感電容槽裝置包含一調諧電感以及一變容裝置，兩者並聯連接。
4. 如申請專利範圍第 3 項所述之具有雜訊濾除單元之壓控振盪裝置，其中該第一電晶體之源極端接至一電源供應端，其閘極端與該第二電晶體之汲極端連接，而該第一電晶體之汲極端與該第二電晶體之閘極端連接，該第二電晶體之源極端與該雜訊濾除單元之一端連接。
5. 如申請專利範圍第 4 項所述之具有雜訊濾除單元之壓控振盪裝置，其中該變容裝置包含兩變容器串接而成，兩者相互串接部，經由一電阻連接至一偏壓。
6. 如申請專利範圍第 5 項所述之具有雜訊濾除單元之壓控振盪裝置，其中該雜訊濾除單元之一端係與該第二電晶體之源極端連接，該雜訊濾除單元之另一端係與一接地端連接。

(2)

7. 如申請專利範圍第 6 項所述之具有雜訊濾除單元之壓控振盪裝置，其中該些變容器為增強型金屬氧化半導體(Accumulation-mode MOS varactor, AMOS)變容器。
8. 如申請專利範圍第 7 項所述之具有雜訊濾除單元之壓控振盪裝置，其中該第一電晶體為一 P 通道金屬氧化物半導體電晶體(PMOS)，該第二電晶體為一 N 通道金屬氧化物半導體電晶體(NMOS)。

#### 圖式簡單說明

為讓本發明之上述和其他目的、特徵、優點與實施例能更明顯易懂，所附圖式之詳細說明如下：第 1 圖係繪示依照本發明一較佳實施例的一種具有雜訊濾除單元之壓控振盪裝置之電路圖。

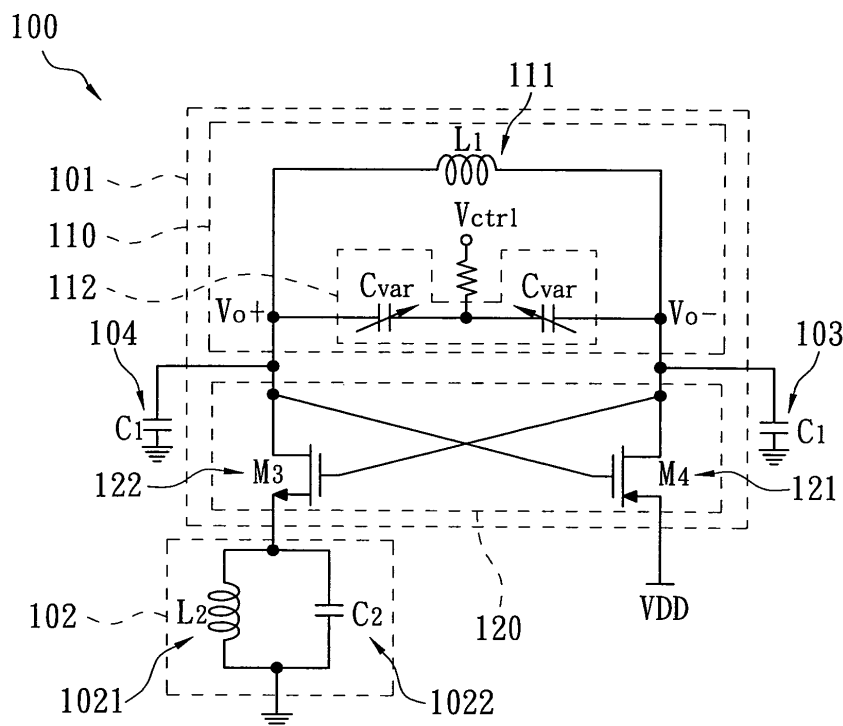
第 2a 圖和第 2b 圖係繪示分別為加入一雜訊電流刺激源於一具有雜訊濾除單元之壓控振盪裝置與一沒有雜訊濾除單元之壓控振盪裝置之輸出波型和汲極電流之模擬 波形圖。

第 3a 圖和第 3b 圖係繪示分別為加入雜訊濾除單元與未加入雜訊濾除單元之壓控振盪裝置之輸出頻譜圖。

第 4 圖係繪示為具有雜訊濾除單元之壓控振盪裝置之調諧特性之曲線圖。

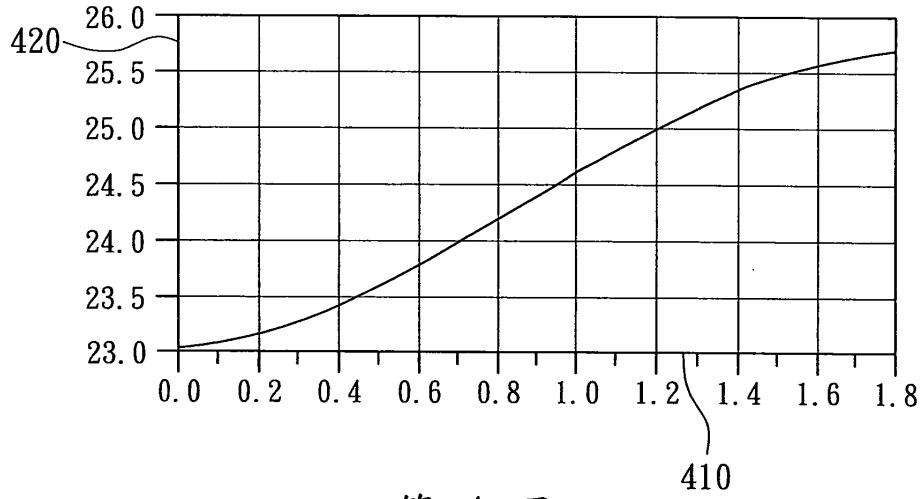
第 5 圖係繪示為加入雜訊濾除單元與未加入雜訊濾除單元之壓控振盪裝置在振盪頻率為 24GHz 時之相位雜訊之曲線圖。

第 6 圖係繪示為加入雜訊濾除單元與未加入雜訊濾除單元之壓控振盪裝置之相位雜訊於 1MHz 偏移頻率之曲線圖。

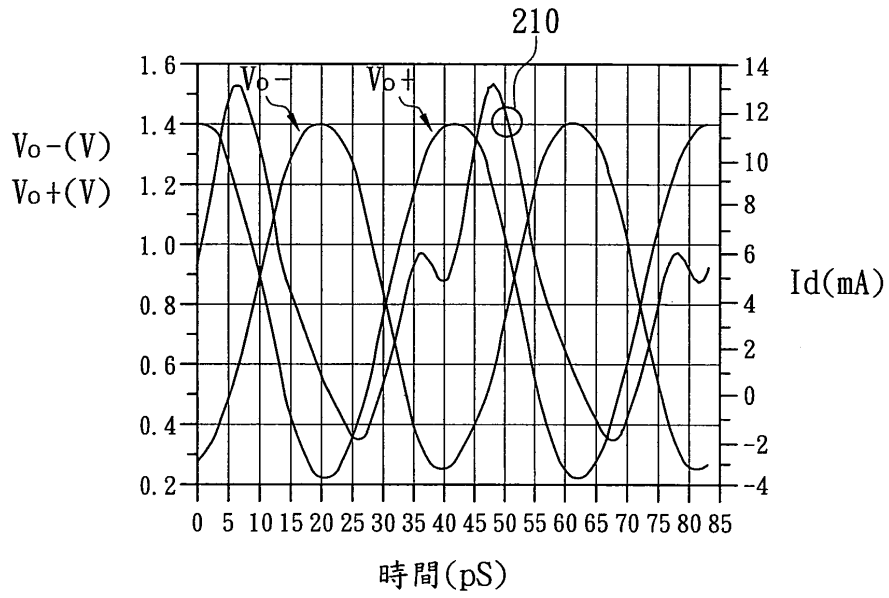


第 1 圖

(3)

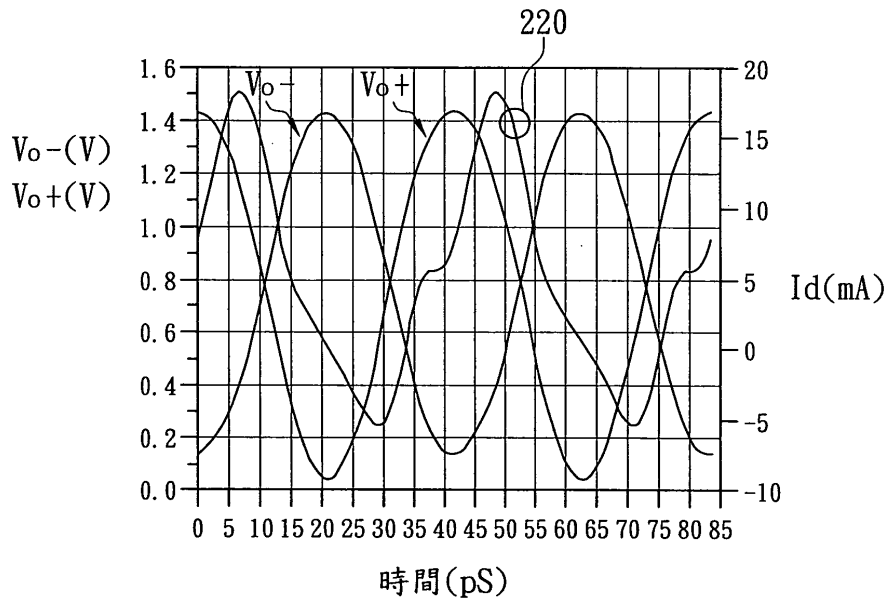


第 4 圖

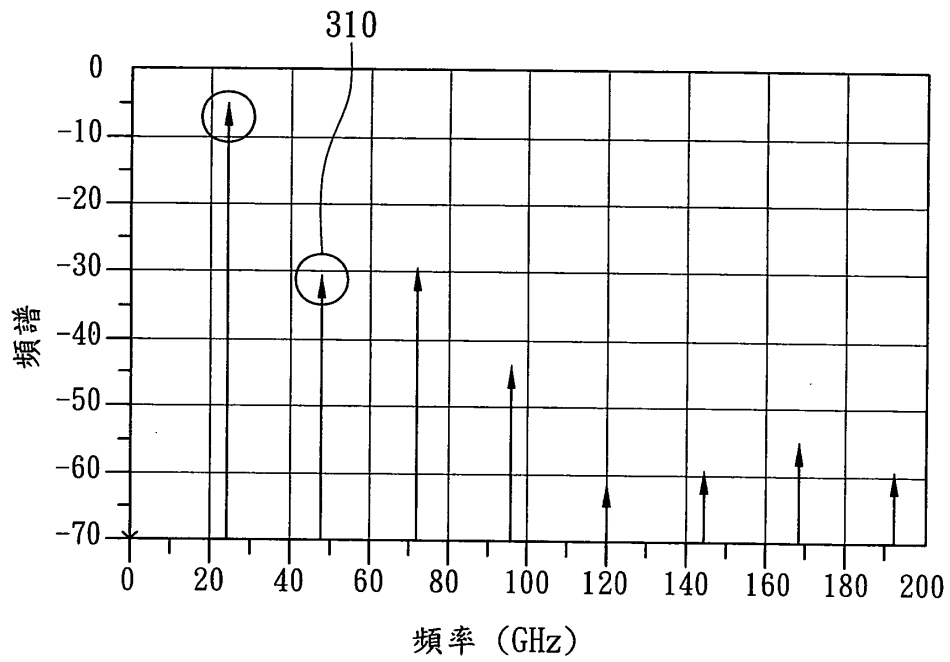


第 2a 圖

(4)

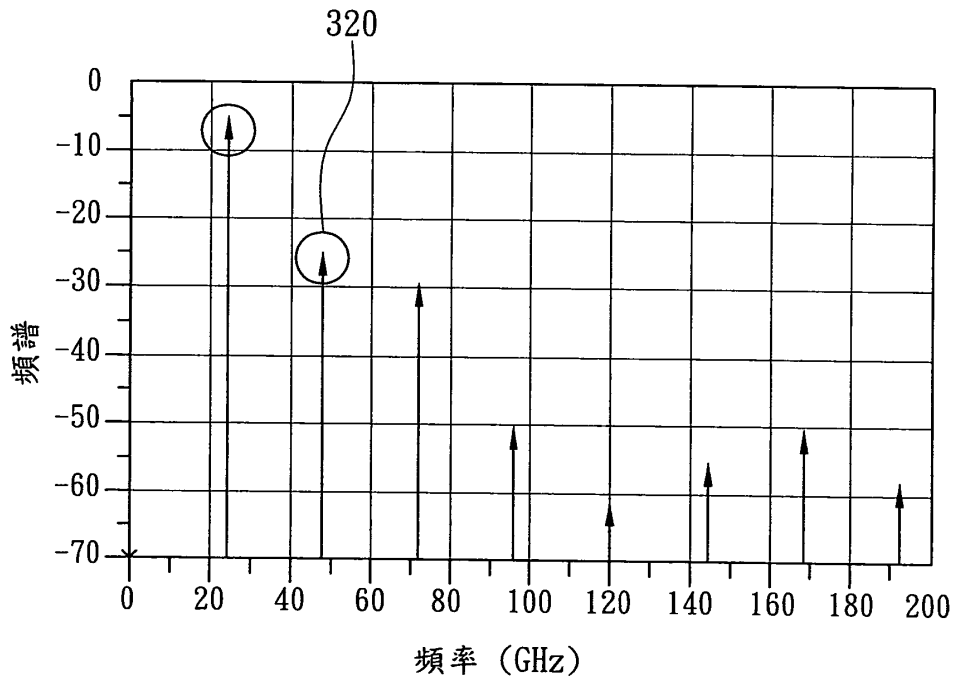


第 2b 圖

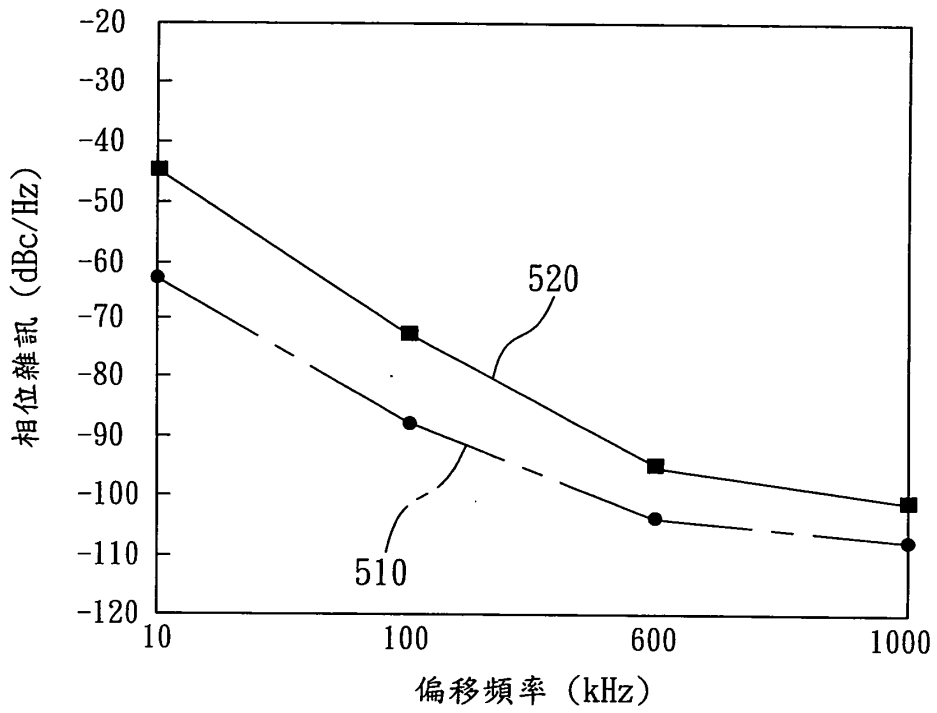


第 3a 圖

(5)

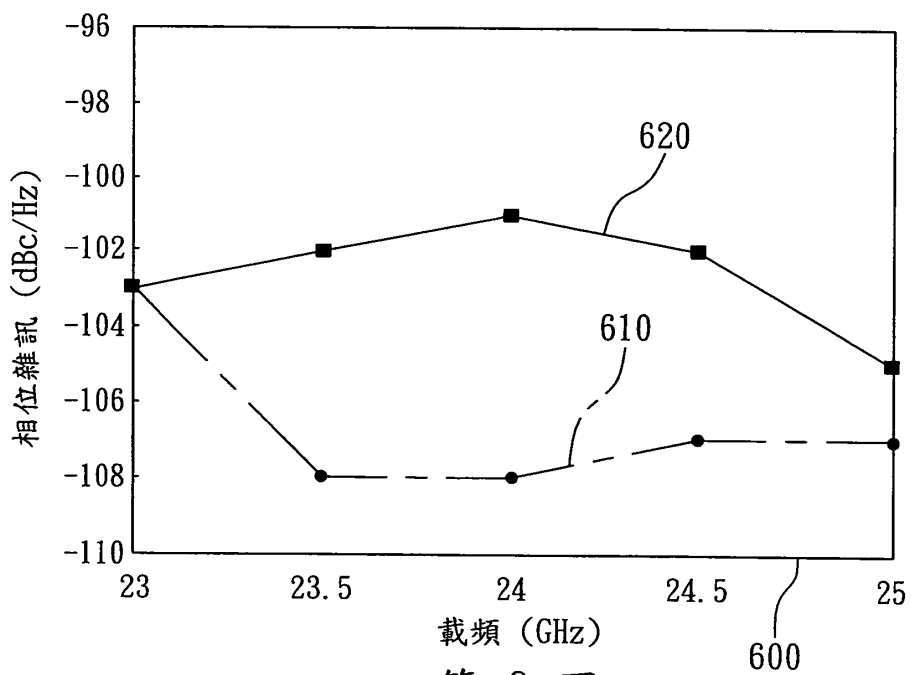


第 3b 圖



第 5 圖

(6)



第 6 圖