

【11】證書號數：I445319

【45】公告日：中華民國 103 (2014) 年 07 月 11 日

【51】Int. Cl. : H03M1/36 (2006.01)

發明

全 7 頁

【54】名稱：類比數位轉換器及其比較電路單元

ANALOG TO DIGITAL CONVERTER AND COMPARATOR UNIT
THEREOF

【21】申請案號：100121076

【22】申請日：中華民國 100 (2011) 年 06 月 16 日

【11】公開編號：201301774

【43】公開日期：中華民國 102 (2013) 年 01 月 01 日

【72】發明人：林志明 (TW) LIN, ZHIMING

【71】申請人：國立彰化師範大學

NATIONAL CHANGHUA UNIVERSITY
OF EDUCATION

彰化縣彰化市進德路 1 號

【74】代理人：蔡坤財；李世章

【56】參考文獻：

TW 200718032A

Maria Stanoeva, Angel Popov, " Investigation of a Parallel Resistorless ADC." International Conference on Computer Systems and Technologies - CompSysTech' 2005.

Proesel, J.E.; Pileggi, L.T., "A 0.6-to-1V inverter-based 5-bit flash ADC in 90nm digital CMOS," Custom Integrated Circuits Conference, 2008. CICC 2008. IEEE , vol., no., pp.153,156, 21-24 Sept. 2008.

Ramesh, J.; Gunavathi, K., "A 8-Bit TIQ Based 780 MSPS CMOS Flash A/D Converter," Conference on Computational Intelligence and Multimedia Applications, 2007. International Conference on , vol.2, no., pp.201,208, 13-15 Dec. 2007.

Chi-Hang Chan; Yan Zhu; U-Fat Chio; Sai-Weng Sin; Seng-Pan, U.; Martins, R.P., "A threshold-embedded offset calibration technique for inverter-based flash ADCs," Circuits and Systems (MWSCAS), 2010 53rd IEEE International Midwest Symposium on , vol., no., pp.489,492, 1-4 Aug. 2010.

Prof. S.S. Khot, . Dr. P. W. Wani, Dr. M S Sutaone, Shubhang Tripathi, " Design of a 45nm TIQ Comparator for High Speed and Low Power 4-Bit Flash ADC." ACEEE Int. J. on Electrical and Power Engineering, Vol. 02, No. 01, Feb 2011.

審查人員：陳明德

[57]申請專利範圍

1. 一種比較電路單元，係用於一類比數位轉換電路，該比較電路單元包含：一電阻，其一端電性連接一電源，另一端提供一準位電壓；以及一 CMOS 場效電晶體，由一 PMOS 場效電晶體與一 NMOS 場效電晶體串聯而成，該 PMOS 場效電晶體之基極與源極電性連接，且該 NMOS 場效電晶體之基極接地，該 CMOS 場效電晶體包含：一電源端，位於

(2)

該 PMOS 場效電晶體之源極；一訊號輸入端，位於該 CMOS 場效電晶體之閘極，且係用以接受一類比輸入訊號；一位準端，位於該 NMOS 場效電晶體之源極，且電性連接該電阻之該另一端，以接受該電阻之該準位電壓；及一訊號輸出端，位於該 CMOS 場效電晶體之汲極，且係用以輸出一數位訊號；其中該準位電壓之絕對值為該 NMOS 場效電晶體之一源基極電壓 V_{SB} 之絕對值，而依據基板效應之方程式可調整該電阻之一阻值而改變該 NMOS 場效電晶體之一臨界電壓；而該數位訊號係基於該 NMOS 場效電晶體之一閘源極電壓 V_{GS} 與該 NMOS 場效電晶體之臨界電壓比較之結果而產生。

2. 一種比較電路單元，係用於一類比數位轉換電路，該比較電路單元包含：一電阻，其一端電性連接一電源，另一端提供一準位電壓；以及一 CMOS 場效電晶體，由一 PMOS 場效電晶體與一 NMOS 場效電晶體串聯而成，該 PMOS 場效電晶體之基極與源極電性連接，且該 NMOS 場效電晶體之基極與源極電性連接，該 CMOS 場效電晶體包含：一電源端，位於該 PMOS 場效電晶體之源極；一訊號輸入端，位於該 CMOS 場效電晶體之閘極，且係用以接受一類比輸入訊號；一位準端，位於該 NMOS 場效電晶體之源極，且電性連接該電阻之該另一端，以接受該電阻之該準位電壓；及一訊號輸出端，位於該 CMOS 場效電晶體之汲極，且係用以輸出一數位訊號；其中該數位訊號係基於該 NMOS 場效電晶體之一閘源極電壓 V_{GS} 與該 NMOS 場效電晶體之臨界電壓比較之結果而產生。
3. 一種比較電路單元，係用於一類比數位轉換電路，該比較電路單元包含：一第一電阻，其一端電性連接一電源，另一端提供一第一準位電壓；一第二電阻，其一端電性連接該電源，另一端提供一第二準位電壓；以及一 CMOS 場效電晶體，由一 PMOS 場效電晶體與一 NMOS 場效電晶體串聯而成，該 PMOS 場效電晶體之基極與該電源電性連接，且該 NMOS 場效電晶體之基極與源極電性連接，該 CMOS 場效電晶體包含：一訊號輸入端，位於該 CMOS 場效電晶體之閘極，且係用以接受一類比輸入訊號；一第一位準端，位於該 NMOS 場效電晶體之源極，且電性連接該第一電阻之該另一端，以接受該電阻之該準位電壓；一第二位準端，位於該 PMOS 場效電晶體之源極，且電性連接該第二電阻之該另一端，以接受該電阻之該準位電壓；及一訊號輸出端，位於該 CMOS 場效電晶體之汲極，且係用以輸出一數位訊號；其中該數位訊號係基於該 NMOS 場效電晶體之一閘源極電壓 V_{GS} 與該 NMOS 場效電晶體之臨界電壓比較之結果而產生。
4. 如請求項 1、2 或 3 所述之比較電路單元，其中當該 NMOS 場效電晶體之該閘源極電壓 V_{GS} 大於該 NMOS 場效電晶體之該臨界電壓，則該 NMOS 場效電晶體導通，產生負邏輯之邏輯“1”之數位訊號。
5. 如請求項 1、2 或 3 所述之比較電路單元，其中當該 NMOS 場效電晶體之該閘源極電壓 V_{GS} 小於該 NMOS 場效電晶體之該臨界電壓，則該 NMOS 場效電晶體不導通，產生負邏輯之邏輯“0”之數位訊號。
6. 一種類比數位轉換器，包含：一輸入訊號介面，接受一類比輸入訊號；如請求項 1、2 或 3 所述之比較電路單元；以及一輸出訊號介面，與該比較電路單元的該訊號輸出端電性連接，且將該些數位訊號合成為一數位輸出訊號。
7. 如請求項 6 所述之類比數位轉換器，當該數位輸出訊號之位元數為 n 位元時，該些比較電路單元之數量為 $2^n - 1$ 個。
8. 如請求項 6 所述之類比數位轉換器，其中當該 NMOS 場效電晶體之該閘源極電壓 V_{GS} 大於該 NMOS 場效電晶體之該臨界電壓時，則該 NMOS 場效電晶體導通，產生負邏輯之邏輯“1”之數位訊號。

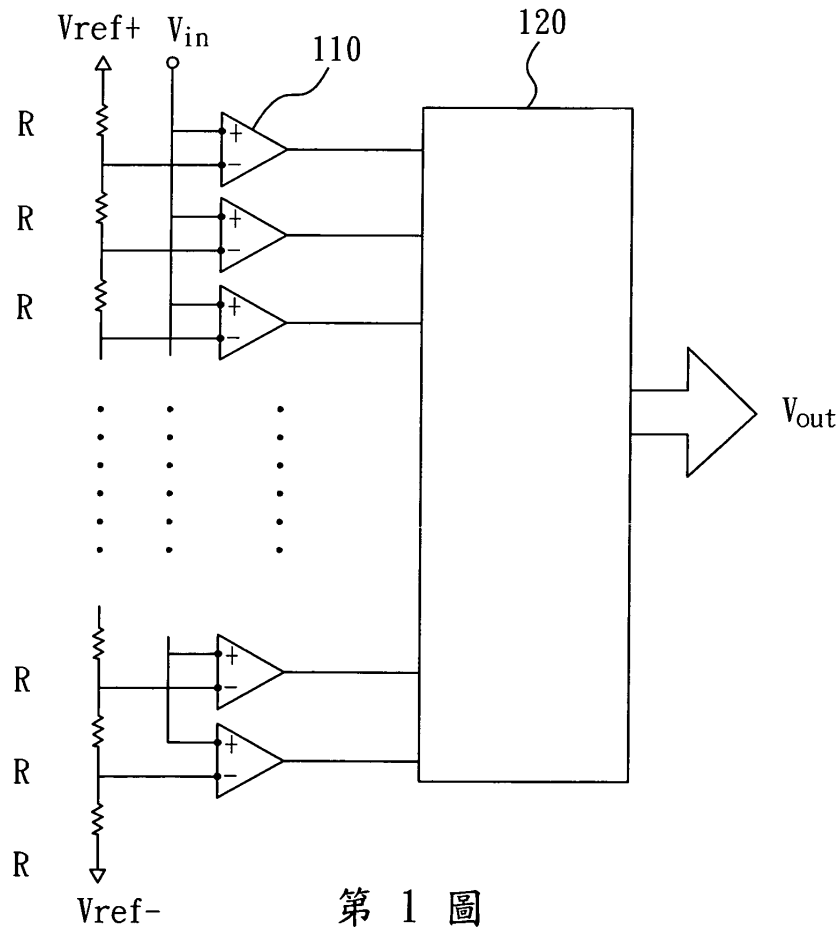
(3)

9. 如請求項 6 所述之類比數位轉換器，其中當該 NMOS 場效電晶體之該閘源極電壓 V_{GS} 小於該 NMOS 場效電晶體之該臨界電壓時，則該 NMOS 場效電晶體不導通，產生負邏輯之邏輯“0”之數位訊號。

圖式簡單說明

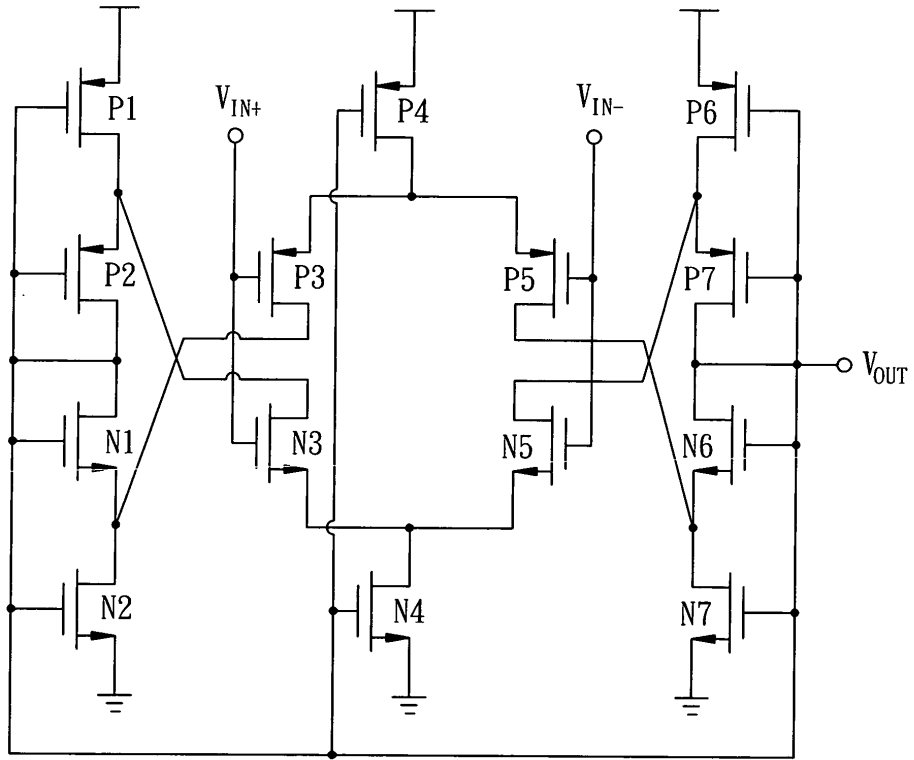
為讓本發明之上述和其他目的、特徵、優點與實施例能更明顯易懂，所附圖式之說明如下：

- 第 1 圖是一般快閃式類比數位轉換器之電路架構示意圖。
- 第 2 圖是一般快閃式類比數位轉換器之比較器電路圖。
- 第 3 圖係依照本發明之第 1 實施例的比較電路單元之電路示意圖。
- 第 4 圖係繪示基於第 4 圖之第 1 實施例的比較電路單元組合而成之類比數位轉換器。
- 第 5 圖係依照本發明之第 2 實施例的比較電路單元之電路示意圖。
- 第 6 圖係繪示基於第 5 圖之第 2 實施例的比較電路單元組合而成之類比數位轉換器。
- 第 7 圖係依照本發明之第 3 實施例的比較電路單元之電路示意圖。
- 第 8 圖係繪示基於第 6 圖之第 3 實施例的比較電路單元組合而成之類比數位轉換器。
- 第 9 圖係繪示依照本發明的類比數位轉換器之積分非線性誤差(INL)的模擬值。
- 第 10 圖係繪示依照本發明的類比數位轉換器之微分非線性誤差(DNL)的模擬值。

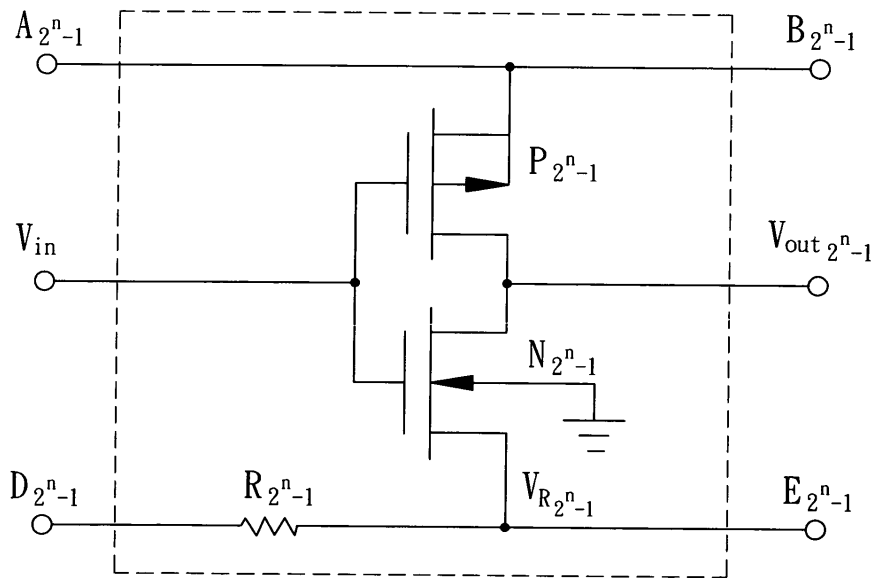


第 1 圖

(4)

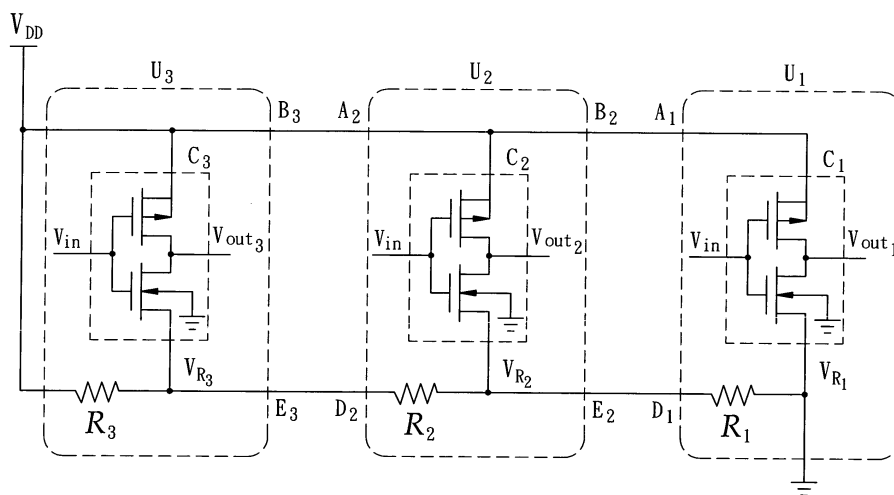


第 2 圖

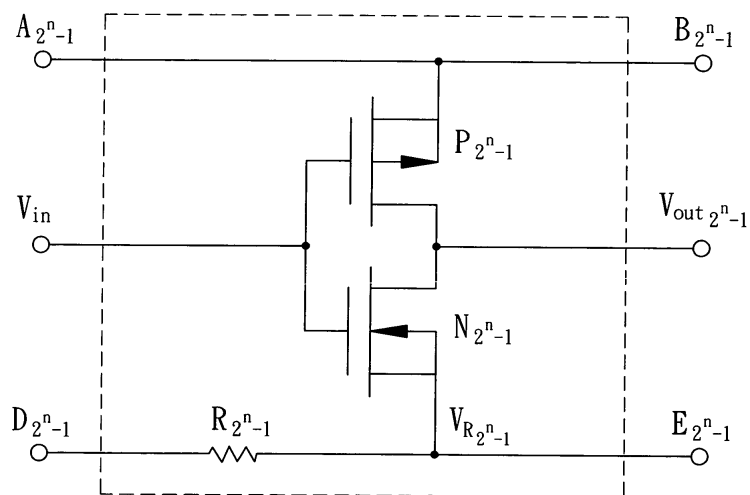


第 3 圖

(5)

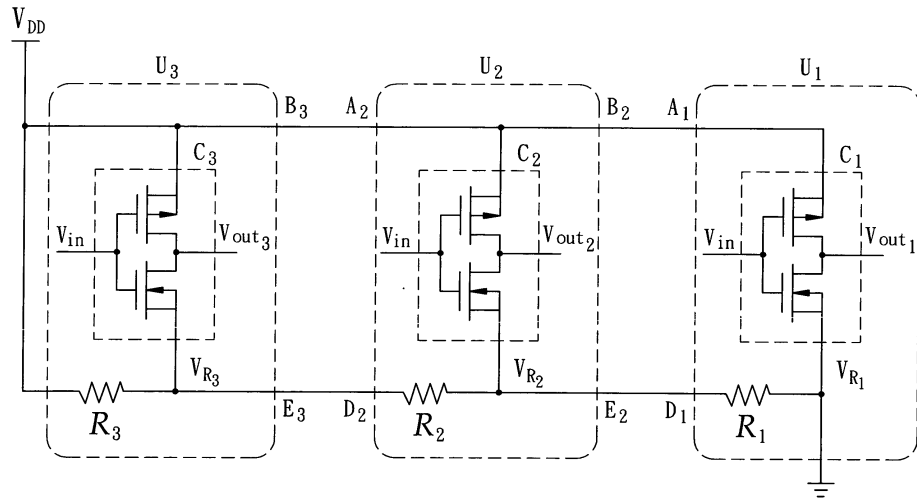


第 4 圖

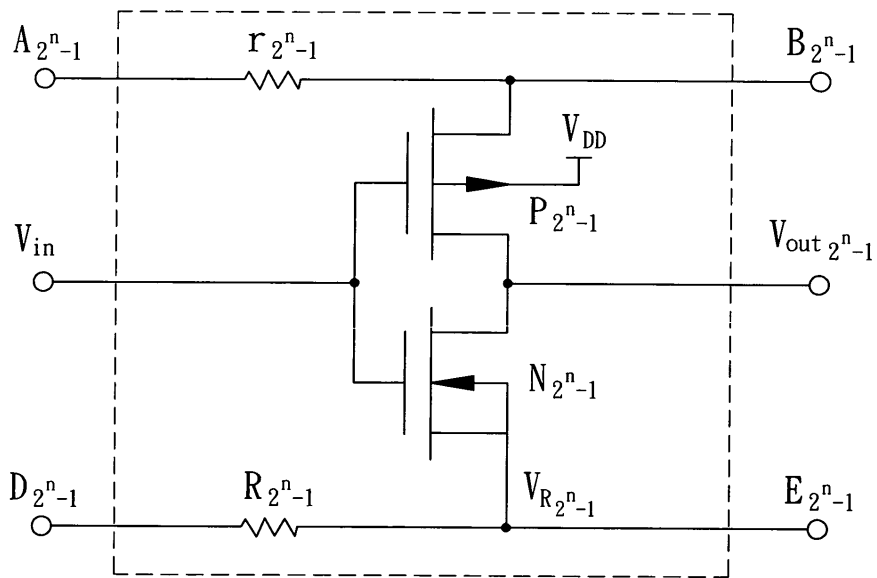


第 5 圖

(6)

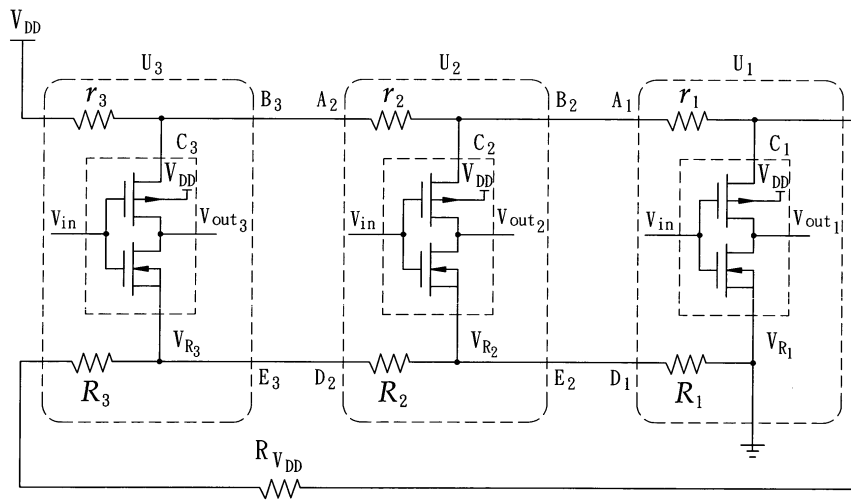


第 6 圖

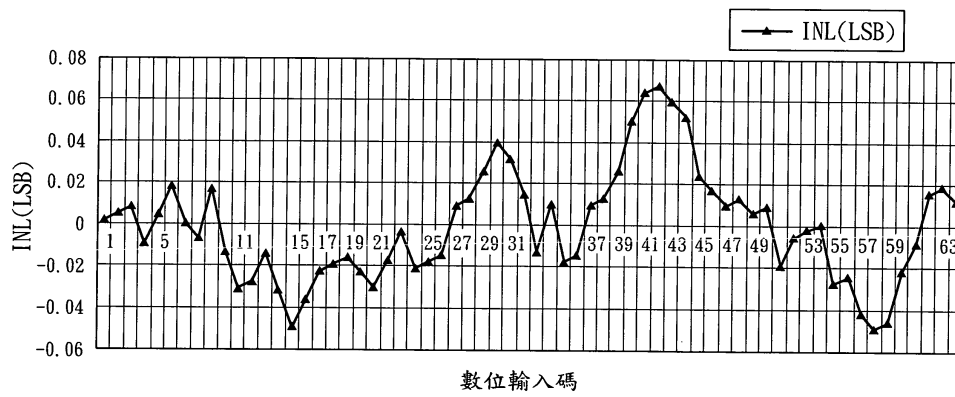


第 7 圖

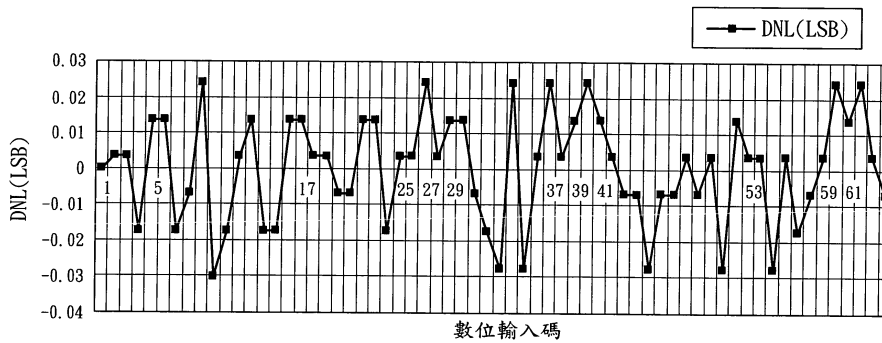
(7)



第 8 圖



第 9 圖



第 10 圖