

【11】證書號數：I286842

【45】公告日：中華民國96(2007)年9月11日

【51】Int. Cl. : **H01L29/772 (2006.01)**

發明 全 7 頁

【54】名稱：強化抵抗單一事件破壞之槽狀閘極雙擴散金氧半電晶體之結構及其方法

【21】申請案號：091137556

【22】申請日：中華民國91(2002)年12月23日

【11】公開編號：200411931

【43】公開日：中華民國93(2004)年7月1日

【72】發明人：賴永齡 LAI, YEONGLIN；黃智彥

【71】申請人：賴永齡 LAI, YEONGLIN

臺北縣新店市永業路22巷7號4樓

【74】代理人：田國健

1

2

[57]申請專利範圍：

1.一種強化抵抗單一事件破壞之槽狀閘極雙擴散金氧半電晶體之結構，該金氧半電晶體係為一N型通道者其主要包括一N<sup>+</sup>源極、一N<sup>+</sup>基板、一P<sup>+</sup> plug(插塞)區域、一P基底與一槽狀閘極；

其特徵在於：

P<sup>+</sup> plug區域係側向及垂直方向延伸至該N<sup>+</sup>源極下方，以加大該P<sup>+</sup> plug區域之面積，俾降低其側向電阻值。

2.一種強化抵抗單一事件破壞之槽狀閘極雙擴散金氧半電晶體之結構，該金氧半電晶體係為一P型通道者，其主要包括一P<sup>+</sup>源極、一P<sup>+</sup>基板、一N<sup>+</sup> plug(插塞)區域、一N基底與一槽狀閘極；

其特徵在於：

該N<sup>+</sup> plug區域係側向及垂直方向延伸至該P<sup>+</sup>源極下方，以加大該N<sup>+</sup> plug區域之面積，俾降低其側向電阻

值。

3. 依申請專利範圍第 1 或第 2 項所述之強化抵抗單一事件破壞之槽狀閘極雙擴散金氧半電晶體之結構，其中該槽狀閘極雙擴散金氧半電晶體閘極尺寸可為次微米、深次微米或奈米。
4. 一種用以製造申請專利範圍第 1 項所述之強化抵抗單一事件破壞之槽狀閘極雙擴散金氧半電晶體之方法，係包括下列步驟：
  - (a) 形成 N<sup>+</sup> 基板；
  - (b) 形成 P<sup>+</sup> well：即為 P<sup>+</sup> plug(插塞)區域；
  - (c) 形成 P well：即為 P base(P 基底)區域；
  - (d) 形成 gate oxide(閘極氧化層)；
  - (e) 形成 poly gate(多晶矽閘極)；
  - (f) 形成 source(源極)；
  - (g) 形成 gate(閘極)上層的氧化層；
  - (h) 形成 source metallization(源極金屬化)；
 其中該步驟(b)之處理程序更包括下列步驟：
  - (b1) 在 N<sup>+</sup> source 下方的 P<sup>+</sup> plug 區域藉著擴散方法，將原本在 N<sup>+</sup> source 下方，由 P base 所形成的一段濃度低的大電阻，俾藉由 P<sup>+</sup> plug 區域的摻雜使得側向電阻降低，並經由側向及垂直的延伸，加大 P<sup>+</sup> plug 區域的面積；
  - (b2) 其 P<sup>+</sup> plug 右方的橫軸距離向 P base 方向側向延伸；
  - (b3) 其 P<sup>+</sup> plug 區域的垂直深度向遠離 N<sup>+</sup> source 的方向做垂直延伸；
 藉此，使側向電阻值降低，以提高元件的抗輻射能力。
5. 一種用以製造申請專利範圍第 2 項所述之強化抵抗單一事件破壞之槽狀閘極雙擴散金氧半電晶體之方法，

係包括下列步驟：

- (a) 形成 P<sup>+</sup> 基板；
- (b) 形成 N<sup>+</sup> well：即為 N<sup>+</sup> plug(插塞)區域；
5. (c) 形成 N well：即為 N base 區域；
- (d) 形成 gate oxide(閘極氧化層)；
- (e) 形成 poly gate(多晶矽閘極)；
- (f) 形成 source(源極)；
- (g) 形成 gate(閘極)上層的氧化層；
10. (h) 形成 source metallization(源極金屬化)；其中該步驟(b)之處理程序包括步驟：
  - (b1) 在 P<sup>+</sup> source 下方的 N<sup>+</sup> plug 區域藉著擴散方法，將原本在 P<sup>+</sup> source 下方，由 N base 所形成的一段濃度低的大電阻，俾藉由 N<sup>+</sup> plug 區域的摻雜使得側向電阻降低，並經由側向及垂直的延伸，加大 N<sup>+</sup> plug 區域的面積；
  15. (b2) 其 N<sup>+</sup> plug 右方的橫軸距離向 N base 方向側向延伸；
  - (b3) 其 N<sup>+</sup> plug 區域的垂直深度向遠離 P<sup>+</sup> source 的方向做垂直延伸；
 藉此，使側向電阻值降低，以提高元件的抗輻射能力。
20. 圖式簡單說明：
  - 第 1 圖係本發明之結構示意圖
  - 第 2 圖係本發明之結構(A)及習用結構(B)兩種不同結構的汲極電流對閘極電壓的曲線(固定汲極電壓為 20V)
  30. 第 3 圖係離子撞擊汲極偏壓為 80V 的本發明結構，且離子撞擊位置在 X=10 μm，其電場隨時間變化圖
  - 第 4 圖係離子撞擊汲極偏壓為 80V 的本發明結構，且離子撞擊位置在 X=10 μm，其電場隨時間變化圖
  35. 第 5 圖係離子撞擊在本發明結構的不同汲極偏壓下的不同位置，觀察其對 SEB 現象的敏感程度，可發現 SEB 的觸發偏壓為 100V。而離子撞擊
  - 40.

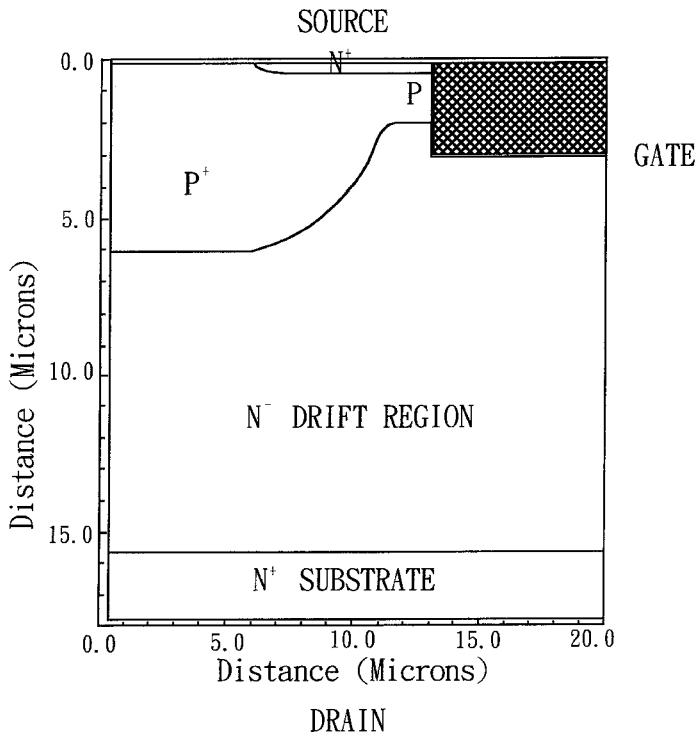
在習用結構的不同汲極偏壓下的不同位置，觀察其對 SEB 現象的敏感程度，可發現 SEB 的觸發偏壓為 70V

第 6 圖係本發明第二實施例之結構示意圖

第 7 圖係習用槽狀閘極雙擴散金氧半電晶體結構示意圖

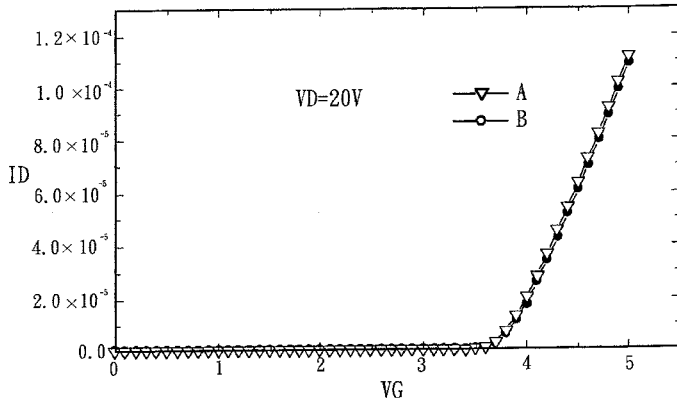
第 8 圖係離子撞擊汲極偏壓為 100V 的習用結構，且離子撞擊位置在

5. X=6 μm，其電場隨時間變化圖

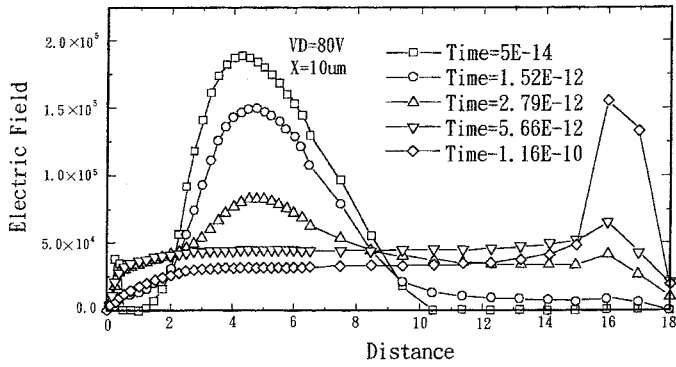


第 1 圖

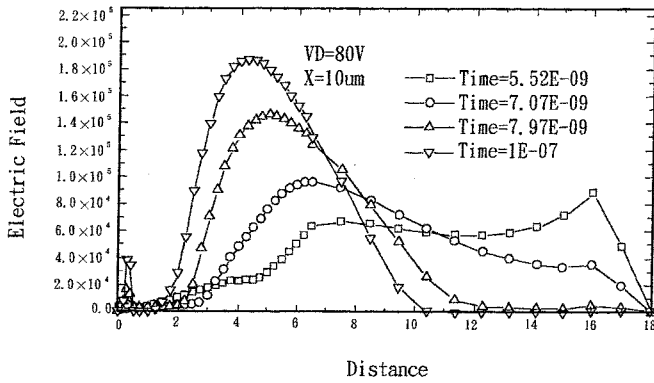
(4)



第 2 圖

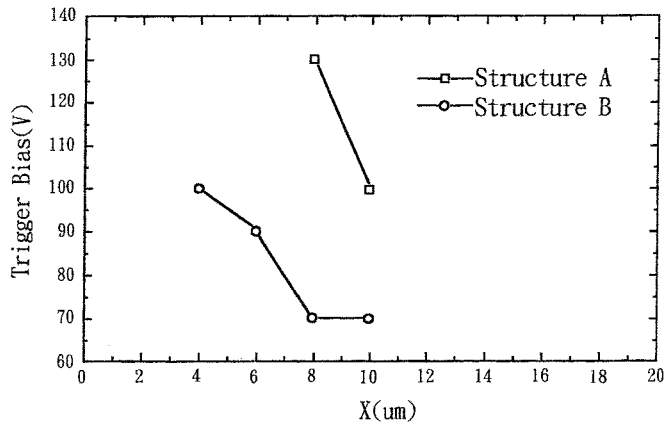


第 3 圖

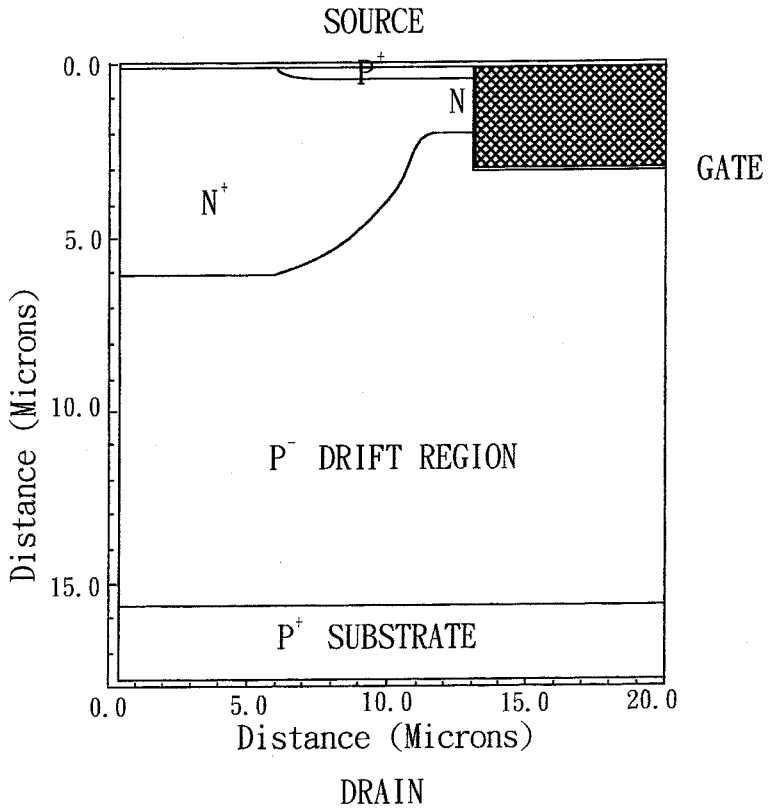


第 4 圖

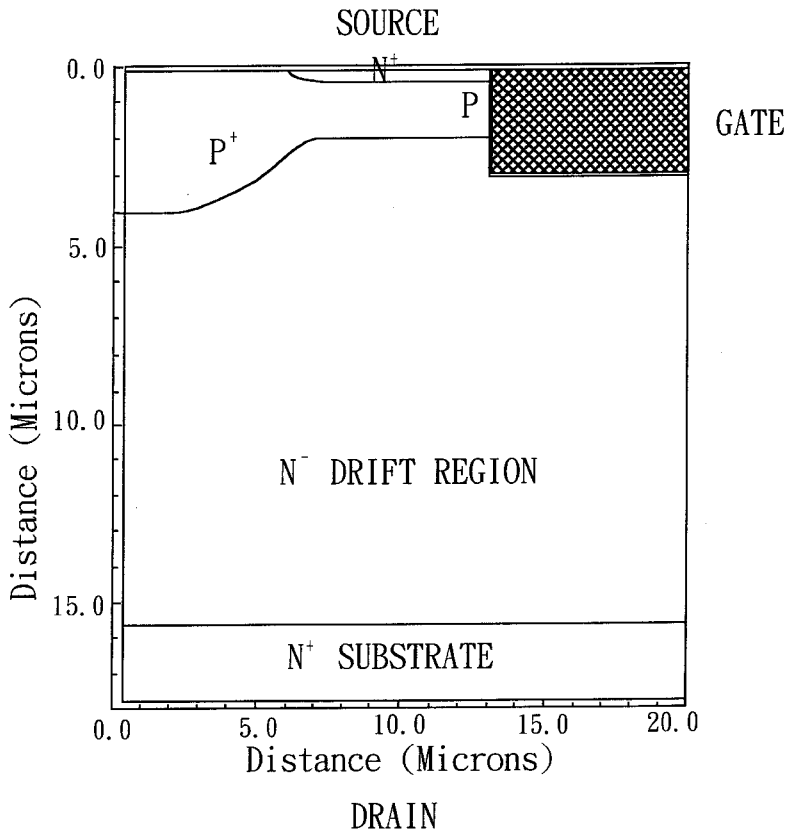
(5)



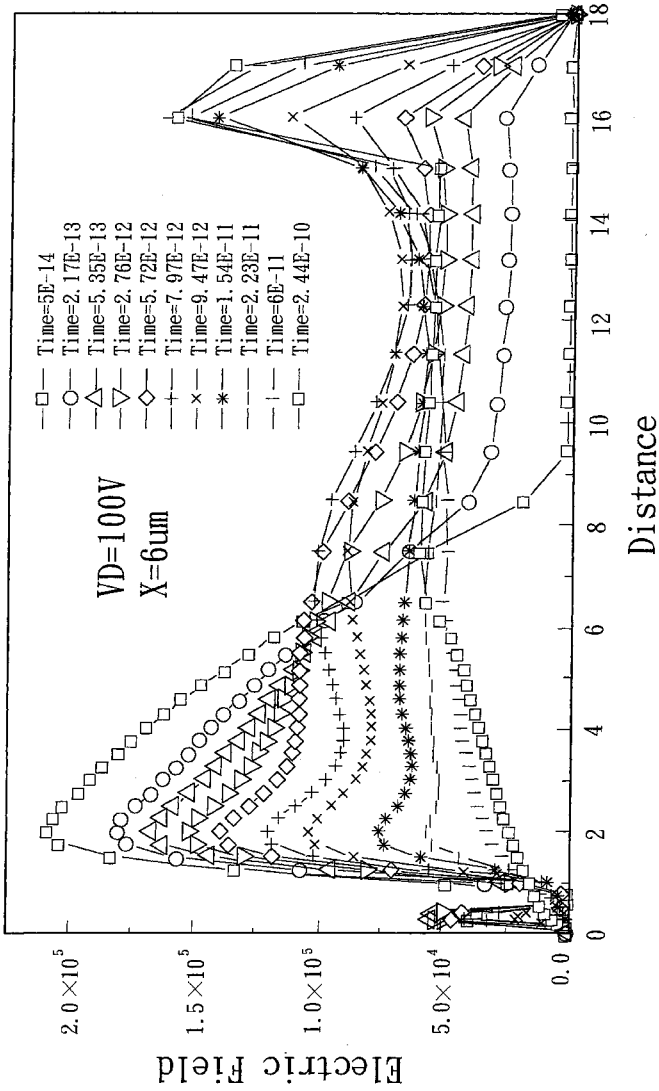
第 5 圖



第 6 圖



第 7 圖



第 8 圖

