

【11】證書號數：I409696

【45】公告日：中華民國 102 (2013) 年 09 月 21 日

【51】Int. Cl. : G06F7/02 (2006.01)

發明

全 7 頁

【54】名稱：大小比較器以及內含此比較器之內容可定址記憶體與不等寬色譜器  
MAGNITUDE COMPARATOR, MAGNITUDE COMPARATOR BASED  
CONTENT ADDRESSABLE MEMORY CELL, AND EON-EQUAL BIN  
WIDTH HISTOGRAMMER

【21】申請案號：098144567

【22】申請日：中華民國 98 (2009) 年 12 月 23 日

【11】公開編號：201123004

【43】公開日期：中華民國 100 (2011) 年 07 月 01 日

【72】發明人：黃宗柱 (TW) HUANG, TSUNGCHU

【71】申請人：國立彰化師範大學

NATIONAL CHANGHUA UNIVERSITY  
OF EDUCATION

彰化縣彰化市進德路 1 號

【74】代理人：蔡坤財；李世章

【56】參考文獻：

TW 200937867A

US 6292093B1

審查人員：李京叡

## [57]申請專利範圍

1. 一種大小比較器，以比較一第一數據以及一第二數據之大小，該第一數據以及該第二數據係為二進位數據，該大小比較器包含：一中間位元比較單元，該中間位元比較單元包含：一第一電晶體，具有一源極；一第二電晶體，具有一源極以及一汲極，該第二電晶體之該汲極電性連接該第一電晶體之該源極，該第二電晶體之該源極電性連接一接地端；一第三電晶體，電性連接該第一電晶體；以及一第四電晶體，電性連接該第一電晶體以及該第三電晶體；以及一 P 通道場效電晶體，具有一閘極、一源極以及一汲極，該 P 通道場效電晶體之該源極電性連接一電源供應端，該閘極電性連接該接地端，該汲極電性連接該中間位元比較單元之該第三電晶體。
2. 如請求項 1 所述之大小比較器，其中該中間位元比較單元係比較一第一數據中間位元是否大於或等於一第二數據中間位元，且該第一電晶體之一閘極接收一第一數據中間位元補數，該第一電晶體之一汲極電性連接該第三電晶體之一汲極以及該第四電晶體之一汲極，該第一電晶體之該汲極並輸出一中間位元邏輯函數補數，該第二電晶體之一閘極接收一第二數據中間位元，該第三電晶體之一閘極接收該第二數據中間位元，且該第四電晶體之一閘極接收該第一數據中間位元補數。
3. 如請求項 2 所述之大小比較器，其中當該第一數據中間位元補數為 0 且該第二數據中間位元為 1 時，相應之該中間位元邏輯函數補數，等於前一級之該中間位元邏輯函數補數，代表一第一數據中間位元等於該第二數據中間位元。
4. 如請求項 2 所述之大小比較器，更包含一最低位元比較單元，電性連接該中間位元比較單元，該最低位元比較單元包含：一第五電晶體，具有一閘極、一源極，以及一汲極，該第五電晶體之該閘極接收一第一數據最低位元補數，該第五電晶體之該汲極電性連接該中間位元比較單元並輸出一最低位元邏輯函數補數；以及一第六電晶體，具有一閘極、一源極，以及一汲極，該第六電晶體之該汲極電性連接該第五電晶體之該源極，該

(2)

第六電晶體之該閘極接收一第二數據最低位元，該第六電晶體之該源極電性連接該接地端。

5. 如請求項 4 所述之大小比較器，其中該第一電晶體、該第二電晶體、該第三電晶體、該第四電晶體、該第五電晶體以及該第六電晶體係為 n 通道場效電晶體。
6. 如請求項 4 所述之大小比較器，其中當該第一數據中間位元補數為 0 且該第二數據中間位元為 1 時，該中間位元邏輯函數補數等於該最低位元邏輯函數補數。
7. 如請求項 6 所述之大小比較器，其中當該第一數據最低位元補數為 0 時，該中間位元邏輯函數補數與該最低位元邏輯函數補數均為 1。
8. 如請求項 1 所述之大小比較器，其中該中間位元比較單元係比較一第一數據中間位元是否大於一第二數據中間位元，且該第一電晶體之一閘極接收一第二數據中間位元，該第一電晶體之一汲極電性連接該第三電晶體之一源極以及該第四電晶體之一源極，該第二電晶體之一閘極接收一第一數據中間位元補數，該第三電晶體之一閘極接收該第二數據中間位元，該第三電晶體之一汲極輸出一中間位元邏輯函數，且該第四電晶體之一閘極接收該第一數據中間位元補數。
9. 如請求項 8 所述之大小比較器，更包含一最低位元比較單元，電性連接該中間位元比較單元，該最低位元比較單元包含：一第五電晶體，具有一閘極、一源極，以及一汲極，該第五電晶體之該閘極接收一第一數據最低位元補數，該第五電晶體之該汲極電性連接該中間位元比較單元並輸出一最低位元邏輯函數，該第五電晶體之該源極電性連接該接地端；以及一第六電晶體，具有一閘極、一源極，以及一汲極，該第六電晶體之該汲極電性連接該第五電晶體之該汲極，該第六電晶體之該閘極接收一第二數據最低位元，該第六電晶體之該源極電性連接該接地端。
10. 如請求項 9 所述之大小比較器，其中該第一電晶體、該第二電晶體、該第三電晶體、該第四電晶體、該第五電晶體以及該第六電晶體係為 n 通道場效電晶體。
11. 一種內含大小比較器之內容可定址記憶體陣列，包含：一位元線，以提供一第一數據中間位元補數；一記憶比較單元，包含：一中間位元比較單元，該中間位元比較單元包含：一第一電晶體，具有一源極；一第二電晶體，具有一源極以及一汲極，該第二電晶體之該汲極電性連接該第一電晶體之該源極，該第二電晶體之該源極電性連接一接地端；一第三電晶體，電性連接該第一電晶體；以及一第四電晶體，電性連接該第一電晶體以及該第三電晶體；以及一記憶單元，電性連接該位元線，以儲存該第一數據中間位元補數，並提供一第二數據中間位元；一字元線，電性連接該記憶單元，以致能該記憶單元儲存該第一數據中間位元補數；以及一 P 通道場效電晶體，具有一閘極、一源極以及一汲極，該 P 通道場效電晶體之該源極電性連接一電源供應端，該閘極電性連接該接地端，該汲極電性連接該中間位元比較單元之該第三電晶體。
12. 如請求項 11 所述之內容可定址記憶體陣列，其中該記憶單元包含：一記憶單元寫入開關電晶體，電性連接該字元線以及該位元線，該記憶單元寫入開關電晶體係由該字元線控制，以傳遞該位元線上的該第一數據中間位元補數；以及一門鎖單元，以提供該第二數據中間位元。
13. 一種不等寬色譜器，包含：一溫標解碼器，解碼一溫標碼以得出一比較結果(one-hot code)；以及一內容可定址記憶體陣列，以提供該溫標碼，該內容可定址記憶體包含：一位元線，以提供一第一數據中間位元補數；一記憶比較單元，包含：一中間位元比較單元，該中間位元比較單元包含：一第一電晶體，具有一源極；一第二電晶體，具有一源極以及一汲極，該第二電晶體之該汲極電性連接該第一電晶體之該源極，該第二電晶體之該源極電性連接一接地端；一第三電晶體，電性連接該第一電晶體；以及一第四電晶體，電性連接該第一電晶體以及該第三電晶體；以及一記憶單元，電性連接該位元線，

(3)

以儲存該第一數據中間位元補數，並提供一第二數據中間位元；一字元線，電性連接該記憶單元，以致能該記憶單元儲存該第一數據中間位元補數；以及一 P 通道場效電晶體，具有一閘極、一源極以及一汲極，該 P 通道場效電晶體之該源極電性連接一電源供應端，該閘極電性連接該接地端，該汲極電性連接該中間位元比較單元之該第三電晶體。

14. 如請求項 13 所述之不等寬色譜器，其中該溫標解碼器包含至少一互斥或閘，電性連接該內容可定址記憶體陣列之該中間位元比較單元，以解碼該溫標碼。

#### 圖式簡單說明

為讓本發明之上述和其他目的、特徵、優點與實施例能更明顯易懂，所附圖式之說明如下：

第 1 圖係繪示先前技術之一比較器。

第 2 圖係繪示本發明一實施方式之比較器電路圖。

第 3 圖係繪示本發明另一實施方式之比較器電路圖。

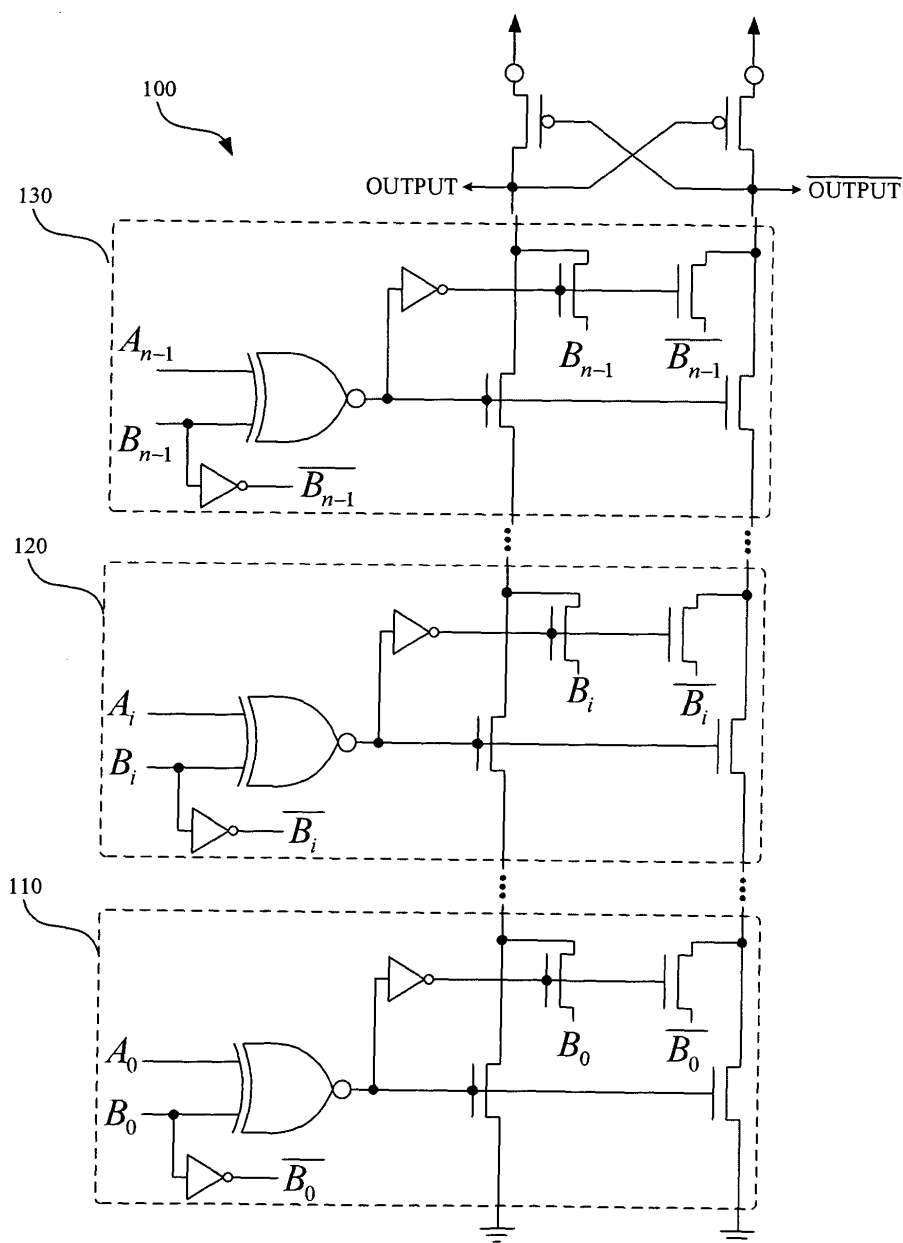
第 4 圖係繪示本發明一實施方式之內容可定址記憶體的記憶比較單元電路圖。

第 5 圖係繪示本發明另一實施方式之內容可定址記憶體的記憶比較單元電路圖。

第 6 圖係繪示本發明一實施方式之內容可定址記憶體陣列電路圖。

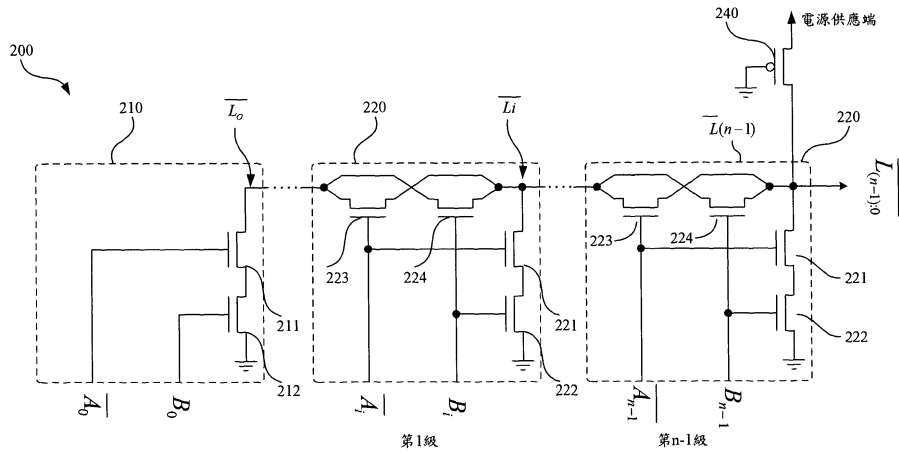
第 7 圖係繪示本發明再一實施方式之不等寬色譜器方塊圖。

(4)

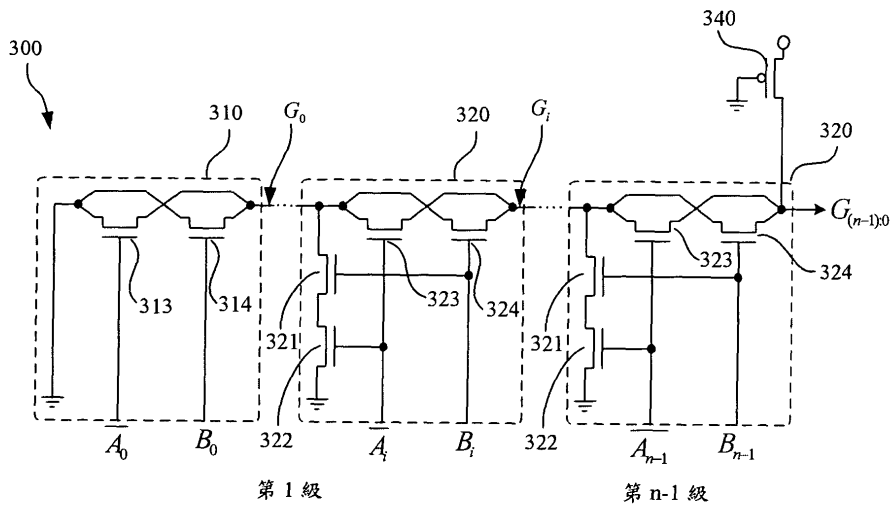


第 1 圖

(5)

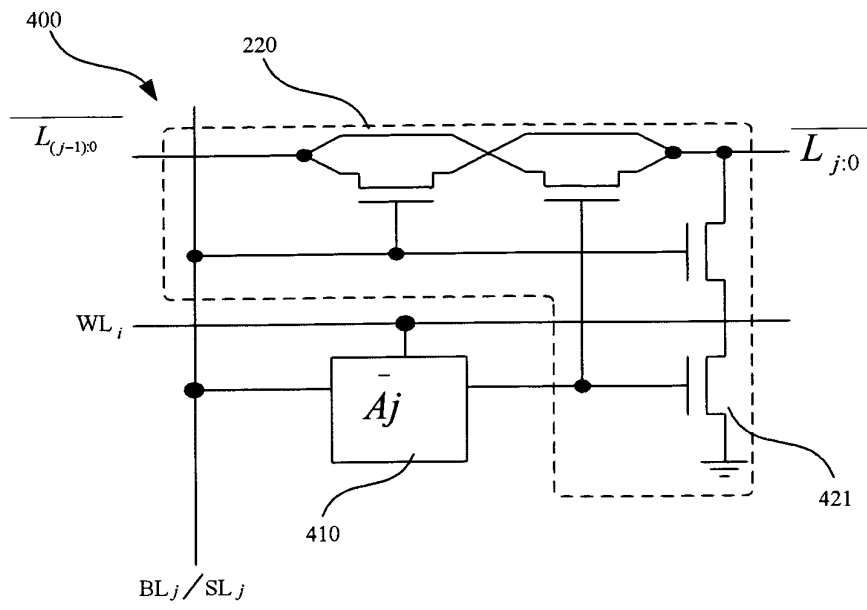


第 2 圖

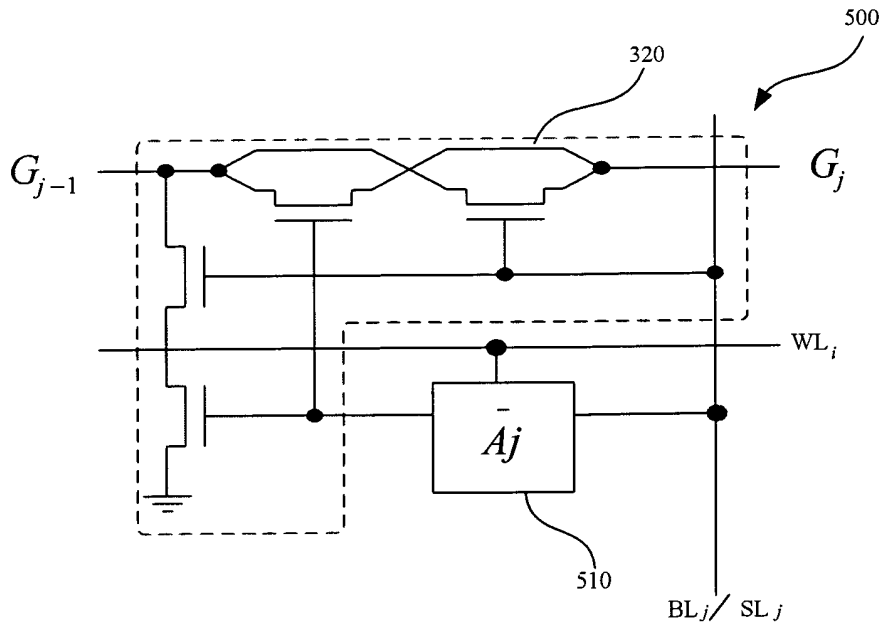


第 3 圖

(6)

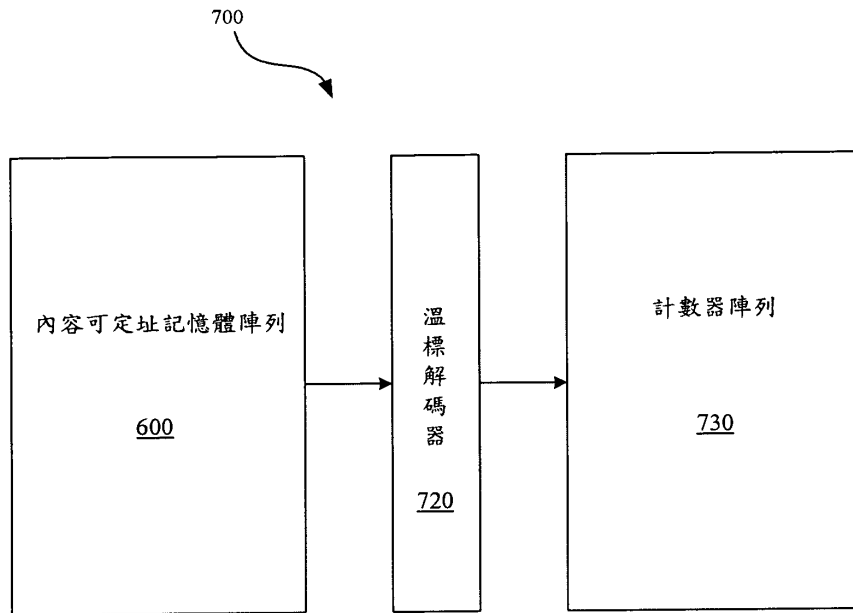
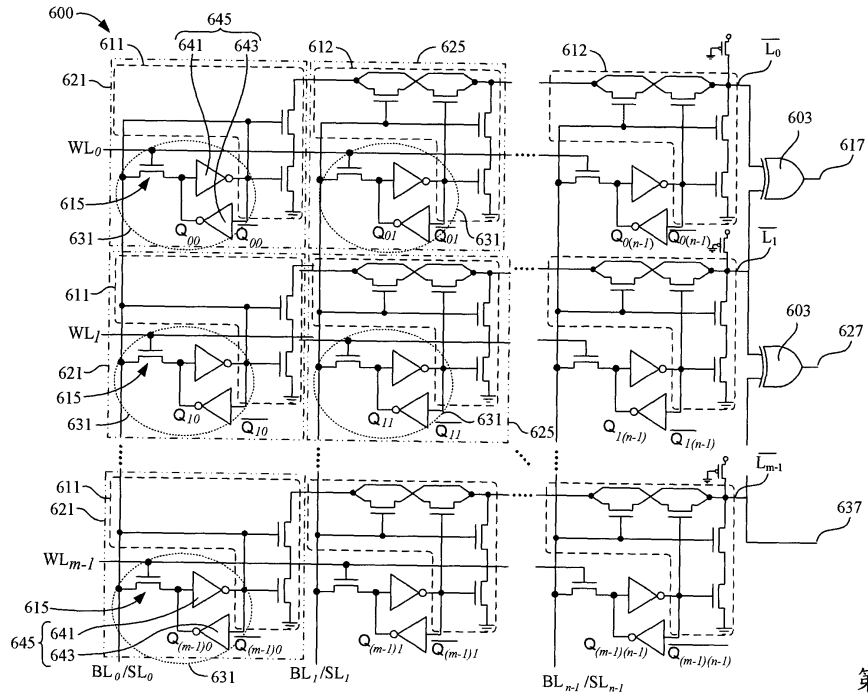


第 4 圖



第 5 圖

(7)



第 7 圖