

【11】證書號數：I222743

【45】公告日：中華民國 93 (2004) 年 10 月 21 日

【51】Int. Cl.<sup>7</sup>：H01L29/70

發明

全 6 頁

【54】名稱：槽狀閘極絕緣閘雙極性電晶體的結構與製作方法  
STRUCTURES AND FABRICATION METHODS TRENCH  
INSULATED GATE BIPOLAR TRANSISTORS

【21】申請案號：091137558

【22】申請日期：中華民國 91 (2002) 年 12 月 23 日

【11】公開編號：200411926

【43】公開日期：中華民國 93 (2004) 年 07 月 01 日

【72】發明人：

賴永齡

LAI, YEONG LIN

黃智彥

HUANG, CHIN YEN

【71】申請人：

賴永齡

LAI, YEONG LIN

臺北縣新店市永業路二十二  
巷七號四樓

【74】代理人：何文淵 先生

1

2

[57]申請專利範圍：

1. 一種槽狀閘極絕緣閘雙極性電晶體的  
製作方法係包括步驟：

(a) 取一半導體基板經摻雜步驟後形  
成一 P+ 基板(P+substrate)；

(b) 使用擴散方式(diffusion)於所述之  
P+ 基板中形成一 P+ 插塞(P+plug)；

(c) 使用離子佈值方式(implantation)於  
所述 P+ 插塞旁形成一 P-well，其中  
所述之 P-well 即為 P-base 區域；

(d) 於所述 P-base 區域旁形成一閘氧

化層(gateoxide)作為多晶矽閘極(poly  
gate)之下層的氧化層；

(e) 於所述閘氧化層上製作出所述多  
晶矽閘極；

5. (f) 於所述 P-base 區域上形成一 N+ 射  
極(N+emitter)；

(g) 於所述多晶矽閘極上方形成上層  
的氧化層；和

10. (h) 於所述 P-base 區域上方進行射極  
金屬化(emitter metallization)。

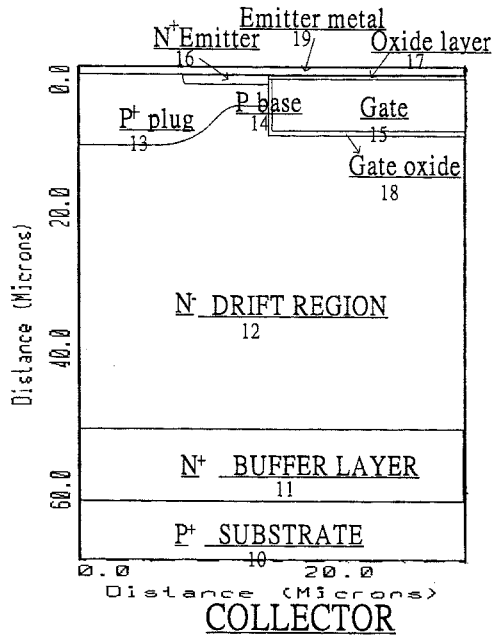
- 2.如申請專利範圍第1項所述槽狀閘極絕緣閘雙極性電晶體的製作方法，其中該 P+plug 所摻雜的濃度高於該 P-base區域之摻雜濃度，如此可藉由該 P+plug 的形成使得側向電阻降低。
- 3.如申請專利範圍第1項所述槽狀閘極絕緣閘雙極性電晶體的製作方法，其中該 P+plug 的面積的大小與該槽狀閘極絕緣閘雙極性電晶體所產生的橫向電阻值成反比關係；因此，當該 P+plug 面積增大時，其寄生閘流體比較不易被驅動。
- 4.如申請專利範圍第3項所述槽狀閘極絕緣閘雙極性電晶體的製作方法，增大該 P+plug 面積方式可增加該 P+plug 右方的橫軸距離，在不影響到元件原有的操作特性和達到最有效的減少橫向電阻原則下，可向右方做側向延伸，使得抗輻射能力更加提高。
- 5.如申請專利範圍第3項所述槽狀閘極絕緣閘雙極性電晶體的製作方法，增大該 P+plug 面積方式可增加該 P+plug 區域的深度，在不影響到元件原有的操作特性和達到最有效的減少橫向電阻原則下，可向下方做垂直延伸，使得抗輻射能力更加提高。
- 6.如申請專利範圍第1項所述槽狀閘極絕緣閘雙極性電晶體的製作方法，其中該槽狀閘極絕緣閘雙極性電晶體可為n型通道槽狀閘極絕緣閘雙極性電晶體和p型通道槽狀閘極絕緣閘雙極性電晶體其中之一。
- 7.如申請專利範圍第1項所述槽狀閘極絕緣閘雙極性電晶體的製作方法，其中步驟(a)中該 P+ 基板係包括 N+ 緩衝區(N+buffer layer)和N- 漂移區(N-driftregion)。

- 8.如申請專利範圍第1項所述槽狀閘極絕緣閘雙極性電晶體的製作方法，其中步驟(b)中形成之 P+ 插塞亦可採用離子佈值方式(ion implantation)。
5. 9.一種槽狀閘極絕緣閘雙極性電晶體(Trench Insulatedgate Bipolar Transistor ; TIGBT)結構主要包括：
  - 一 P+ 基板(P+ substrate)；
  - 一槽狀閘極(gate)於該 P+ 基板之中；
10. 一 N+ 射極(N+emitter)於該 P+ 基板中並與該槽狀閘極相連；
- 一 P 基極(P base)於該 N+ 射極之下並與該槽狀閘極相連；
- 一 P+ 插塞(P+ plug)與該 N+ 射極和 P 基極相連；
15. 10.如申請專利範圍第9項所述槽狀閘極絕緣閘雙極性電晶體結構，該 P+ plug面積的大小與該槽狀閘極絕緣閘雙極性電晶體所產生的橫向電阻值成反比關係；因此，當該 P+ plug 面積增大時，其寄生閘流體比較不易被驅動。
20. 11.如申請專利範圍第9項所述槽狀閘極絕緣閘雙極性電晶體結構，該 P+ plug 在不影響原有之操作特性下，P+ plug 大小可選擇朝左右做側向延伸和向下方做垂直延伸之一方式，使得抗輻射能力更加提高。
25. 12.如申請專利範圍第9項所述槽狀閘極絕緣閘雙極性電晶體結構，該 P+ plug 的摻雜採用擴散方式(diffusion)形成。
30. 13.如申請專利範圍第9項所述槽狀閘極絕緣閘雙極性電晶體結構，該 P+ plug 的摻雜採用離子佈值方式(ion implantation)。
35. 14.如申請專利範圍第9項所述槽狀閘極絕緣閘雙極性電晶體結構，該 P 基極的摻雜採用離子佈值方式(implantion)形成。
- 40.

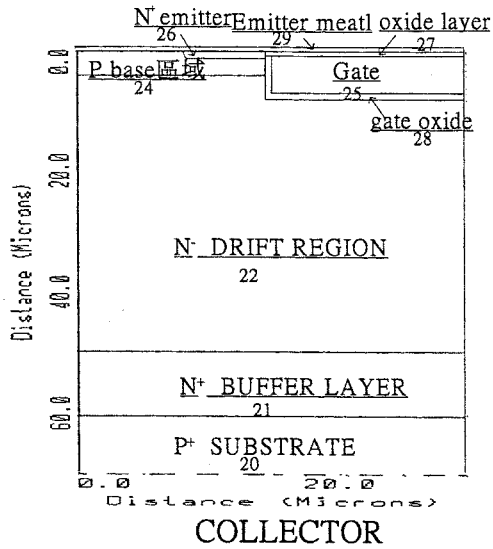
- 15.如申請專利範圍第9項所述槽狀閘極絕緣閘雙極性電晶體結構，其中該 P+ plug 所摻雜的濃度高於該 P-base區域之摻雜濃度，如此可藉由該 P+ plug 的形成使得側向電阻降低。
- 16.如申請專利範圍第9項所述槽狀閘極絕緣閘雙極性電晶體結構，該槽狀閘極係為上層閘氧化層、多晶矽閘極和下層氧化層所構成。
- 17.一種槽狀閘極絕緣閘雙極性電晶體 (Trench Insulated gate Bipolar Transistor ; TIGBT) 結構主要包括：
  - 一 N+ 基板(N+substrate)；
  - 一槽狀閘極(gate)於該 N+ 基板之中；
  - 一 P+ 射極(P+ emitter)於該 N+ 基板中並與該槽狀閘極相連；
  - 一 N 基極(N base)於該 P+ 射極之下並與該槽狀閘極相連；
  - 一 N+ 插塞(N+ plug)與該 P+ 射極和 N 基極相連；
- 18.如申請專利範圍第17項所述槽狀閘極絕緣閘雙極性電晶體結構，該 N+ plug 面積的大小與該槽狀閘極絕緣閘雙極性電晶體所產生的橫向電阻值成反比關係；因此，當該 N+ plug 面積增大時，其寄生閘流體比較不易被驅動。
- 19.如申請專利範圍第17項所述槽狀閘極絕緣閘雙極性電晶體結構，該 N+ plug 在不影響原有之操作特性下，N+ plug 大小可選擇朝左右做側向延伸和向下方做垂直延伸之一方式，使得抗輻射能力更加提高。
- 20.如申請專利範圍第17項所述槽狀閘極絕緣閘雙極性電晶體結構，該 N+ plug 的摻雜採用擴散方式(diffusion)形成。
- 21.如申請專利範圍第17項所述槽狀閘

- 極絕緣閘雙極性電晶體結構，該 N+ plug 的摻雜採用離子佈值方式(ion implantation)。
  - 22.如申請專利範圍第17項所述槽狀閘極絕緣閘雙極性電晶體結構，該 N 基極的摻雜採用離子佈值方式(implantion)形成。
  - 23.如申請專利範圍第17項所述槽狀閘極絕緣閘雙極性電晶體結構，其中該 N+ plug 所摻雜的濃度高於該 P-base區域之摻雜濃度，如此可藉由該 N+ plug 的形成使得側向電阻降低。
  - 24.如申請專利範圍第17項所述槽狀閘極絕緣閘雙極性電晶體結構，該槽狀閘極係為上層閘氧化層、多晶矽閘極和下層氧化層所構成。
- 圖式簡單說明：
- 圖一係為本發明實施例中結構 A 之垂直剖面圖。
  - 圖二係為本發明實施例中結構 B 之垂直剖面圖。
  - 圖三係為本發明實施例中結構 C 之垂直剖面圖。
  - 圖四係為本發明實施例中結構 A ~ C 三種之不同結構的集極電流對閘極電壓的曲線。
  - 圖五係為本發明實施例中使用相同的重離子、相同的偏壓，並撞擊在結構 B、C 的相同位置，而結構 B、C 對 SEL 現象的敏感程度。
  - 圖六係為本發明實施例中使用相同的重離子、相同的偏壓，並撞擊在結構 A、C 的相同位置，而結構 A、C 對 SEL 現象的敏感程度。
  - 圖七係為本發明實施例中離子撞擊在結構 A、B、C 的不同汲極偏壓下的不同位置，觀察其對 SEL 現象的敏感程度。

(4)

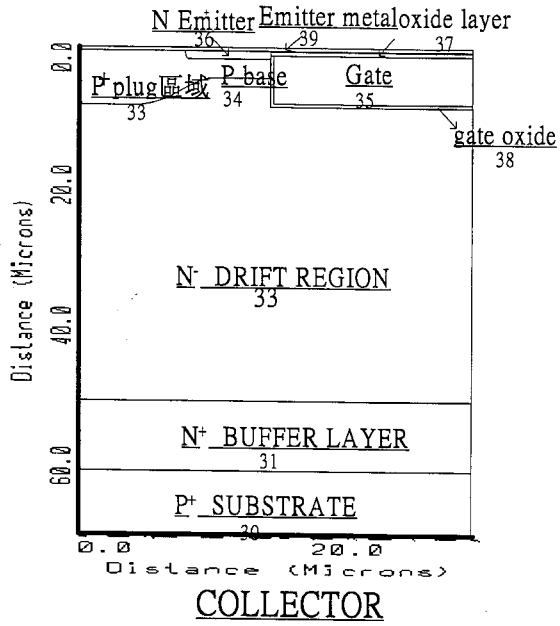


圖一

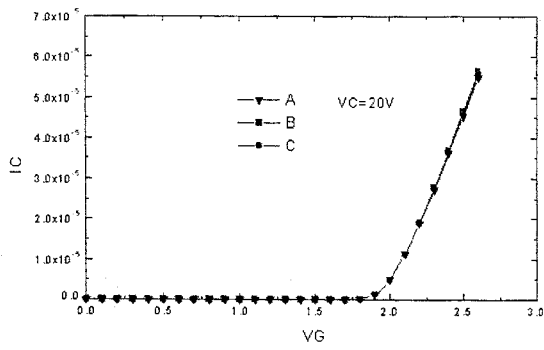


圖二

(5)

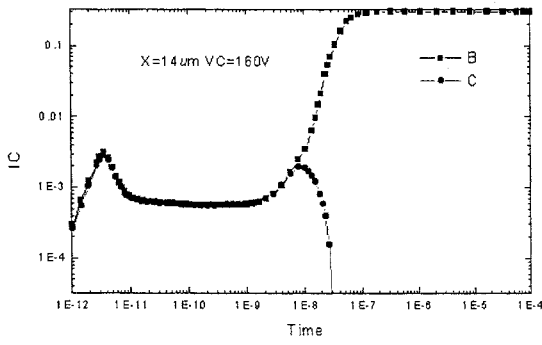


圖三

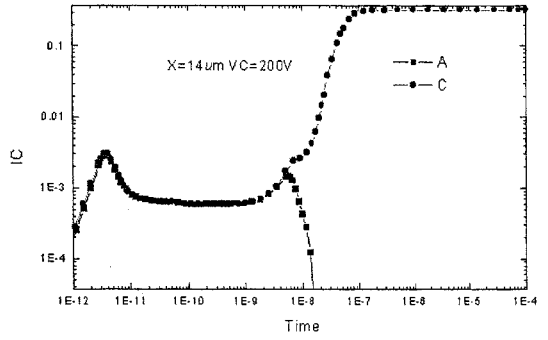


圖四

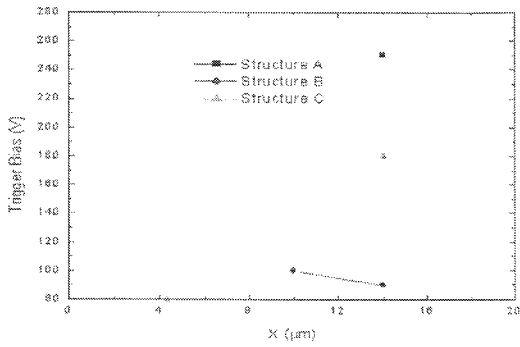
(6)



圖五



圖六



圖七